

**KARADENİZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

**TEK FAZLI ŞEBEKEDEN BAĞIMSIZ HERİC EVİRİCİLİ FOTOVOLTAİK
SİSTEMİN FARKLI DENETLEYİCİLERLE TASARIMI**

YÜKSEK LİSANS TEZİ

Elektrik- Elektronik Müh. Ahmet YÜKSEL

**HAZİRAN 2018
TRABZON**



KARADENİZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ



Karadeniz Teknik Üniversitesi Fen Bilimleri Enstitüsünce

Unvanı Verilmesi İçin Kabul Edilen Tezdir.

Tezin Enstitüye Verildiği Tarih : / /

Tezin Savunma Tarihi : / /

Tez Danışmanı :

Trabzon

**KARADENİZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

başlıklı bu çalışma, Enstitü Yönetim Kurulunun / / gün ve sayılı
kararıyla oluşturulan jüri tarafından yapılan sınavda
YÜKSEK LİSANS TEZİ
olarak kabul edilmiştir.

Jüri Üyeleri

Başkan :

Üye :

Üye :

Prof. Dr. Sadettin KORKMAZ

Enstitü Müdürü

ÖNSÖZ

Bu tez, Karadeniz Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalı, Elektrik Mühendisliği Yüksek Lisans Programı'nda yapılan çalışmadır. Karadeniz Teknik Üniversitesi Bilimsel Araştırma Projeleri (BAP) Birimi tarafından lisansüstü tez projesi destek programı kapsamında destek alınarak gerçekleştirilmiştir.

Bu tez çalışması boyunca sahip olduğu bilgi ve deneyimleri bana aktaran ve düşünceleriyle bana yol gösteren değerli danışman hocam Dr. Öğr. Üyesi Adnan CORA'ya teşekkürlerimi sunarım.

Bu tez çalışma esnasında bilgi ve tecrübelerini bana her daim aktaran başta Dr. Öğr. Üyesi Emre ÖZKOP olmak üzere Elektrik Elektronik Mühendisliği Anabilim Dalındaki tüm hocalarıma teşekkür ederim.

Son olarak ise beni bugünlere getiren değerli aileme ve çalışma esnasında sabrı, desteği ve güler yüzüyle her daim yanımda olan değerli eşime teşekkürü bir borç bilirim.

Ahmet YÜKSEL

Trabzon 2018

TEZ ETİK BEYANNAMESİ

Yüksek Lisans Tezi olarak sunduğum “Tek Fazlı Şebekeden Bağımsız HERIC Eviricili Fotovoltaik Sistemin Farklı Denetleyicilerle Tasarımı” başlıklı bu çalışmayı baştan sona kadar danışmanım Dr. Öğr. Üyesi Adnan CORA’ nun sorumluluğunda tamamladığımı, verileri/örnekleri kendim topladığımı, deneyleri/analizleri ilgili laboratuvarlarda yaptığımı/yaptırdığımı, başka kaynaklardan aldığım bilgileri metinde ve kaynakçada eksiksiz olarak gösterdiğimi, çalışma sürecinde bilimsel araştırma ve etik kurallara uygun olarak davrandığımı ve aksinin ortaya çıkması durumunda her türlü yasal sonucu kabul ettiğimi beyan ederim. 07/06/2018

Ahmet YÜKSEL

İÇİNDEKİLER

	<u>Sayfa No</u>
ÖZET	VII
SUMMARY	VIII
ŞEKİLLER DİZİNİ	IX
TABLolar DİZİNİ.....	XII
SEMBOLLER DİZİNİ	XIII
1. GENEL BİLGİLER	1
1.1. Giriş	1
1.2. Literatür Araştırması.....	4
1.2.1. HERIC Eviriciyle İlgili Çalışmalar	5
2. FOTOVOLTAİK EVİRİCİ YAPILARI.....	7
2.1. H Köprülü Topolojilerden Türeyen Evirici Yapıları	7
2.1.1. Temel Tam-Köprülü Evirici	7
2.1.2. H5 Evirici	11
2.1.3. HERIC Evirici	14
3. DA-DA DÖNÜŞTÜRÜCÜLER.....	16
3.1. Azaltan (Buck) Çevirici.....	16
3.2. Artıran (Boost) Çevirici.....	17
3.2.1. Artıran Çeviricinin İletim Modu.....	17
3.2.2. Artıran Çeviricinin Tıkama Modu	18
3.3. Azaltan-Artıran (Buck-Boost) Çevirici	19
4. DENETLEYİCİ TASARIMI.....	21
4.1. PID ve KDPID Tabanlı Gerilim Denetimi	21
4.1.1. PID Denetleyici ve Kesir Dereceli PID Denetleyici.....	21
4.2. Bulanık Mantık Tabanlı Gerilim Denetimi.....	23
4.2.1. Bulanık Mantığa Giriş	23
4.2.1.1. Bulanık Küme	25
4.2.1.2. Üyelik Fonksiyonları	25
4.2.1.3. Bulanıklaştırma Birimi	26
4.2.1.4. Bilgi Tabanı	27
4.2.1.5. Bulanık Çıkarım Birimi	27
4.2.1.5.1. Max-Dot Yöntemi.....	28

4.2.1.5.2.	Min-Max Yöntemi.....	29
4.2.1.6.	Durulaştırma Birimi.....	29
5.	YAPILAN ÇALIŞMALAR, SONUÇLAR VE İRDELEME.....	31
5.1.	Giriş	31
5.2.	DA-DA Artıran Çeviricinin Denetimi	31
5.2.1.	DA-DA Artıran Çeviricinin PID Denetimi.....	32
5.2.2.	DA-DA Artıran Çeviricinin Kesir Dereceli PID Denetimi	34
5.2.3.	DA-DA Artıran Çeviricinin Bulanık Mantık Denetimi.....	36
5.2.4.	DA-DA Artıran Çeviricinin Denetim Yöntemlerinin Karşılaştırılması	39
5.3.	Şebekeden Bağımsız DA-DA Artıran Çeviricili HERIC Eviricili FV Sistem Tasarımı	39
5.3.1.	PID Denetimli FV Sistem Tasarımı.....	40
5.3.2.	KDPID Denetimli FV Sistem Tasarımı	41
5.3.3.	Bulanık Mantık Denetimli FV Sistem Tasarımı.....	42
5.4.	DeneySEL Çalışmalar	43
5.4.1.	Sistem Bileşenleri	44
5.4.1.1.	TMS320F28335 Sayısal İşaret İşleyici.....	44
5.4.1.2.	DOCKF28335 Matlab/SİMULİNK ile Programlanması	45
5.4.2.	HERIC Eviricinin Sürücü Düzeneğinin Hazırlanması	45
5.4.3.	Gerilim Okuma Devresi	48
5.4.4.	DA-DA Artıran Çeviricili HERIC Evirici Devre Tasarımı.....	50
5.4.5.	LCL Filtre Tasarımı	52
5.5.	DA-DA Artıran Çeviricinin DeneySEL Sonuçları.....	54
5.5.1.	DA-DA Artıran Çeviricinin PID Denetimi.....	54
5.5.2.	DA-DA Artıran Çeviricinin KDPID Denetimi.....	56
5.5.3.	DA-DA Artıran Çeviricinin Bulanık Mantık Denetimi.....	57
5.5.4.	Denetleyici Performanslarının Karşılaştırılması.....	59
6.	SONUÇLAR.....	61
6.1.	PID Denetimli FV Sistem Tasarımı.....	61
6.2.	KDPID Denetimli FV Sistem Tasarımı	62
6.3.	Bulanık Mantık Denetimli FV Sistem Tasarımı.....	63
6.4.	Tasarlanan FV Sistemlerin Harmonikler Bakımından Karşılaştırılması	65
7.	ÖNERİLER	66
8.	KAYNAKLAR	67

ÖZGEÇMİŞ



ÖZET

TEK FAZLI ŞEBEKEDEN BAĞIMSIZ HERIC EVİRİCİLİ FOTOVOLTAİK SİSTEMİN FARKLI DENETLEYİCİLERLE TASARIMI

Ahmet YÜKSEL

Karadeniz Teknik Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik- Elektronik Mühendisliği Anabilim Dalı
Danışman: Dr. Öğr. Üyesi Adnan CORA
2018, 86 Sayfa

Elektrik enerjisine ihtiyaç her geçen gün artmaktadır. Artan bu ihtiyacı karşılayabilmek için yenilenebilir enerji kaynakları önemli yer edinmiştir. Bu enerji kaynaklarından biri olan güneş enerjisi ülkemizin gelecek yıllarda enerji ihtiyacının önemli bir kısmını karşılaması için devlet tarafından teşvik edilmektedir.

Güneş enerjisinin elektrik enerjisine dönüştürülmesinde fotovoltaik panellere ihtiyaç duyulmaktadır. Fotovoltaik panellerden alınan bu enerji kullanılabilir hale gelmesi için güç elektroniği devreleri kullanılmaktadır. Güneş enerji güç devreleri genellikle doğrultucu, evirici ve filtrelerden oluşmaktadır. Eviriciler doğru gerilim kaynağından alternatif akım yükleri beslemek için kullanılmakta olup bu eviricilerin transformatör içerip içermemesine göre sınıflandırılmaktadır. Transformatör, eviricinin verimini düşürmesi, maliyetini artırması ve boyut olarak büyütmesi gibi olumsuz özellikleri sebebiyle son yıllarda sistemin verimini artırmak için transformatörsüz evirici yapıları kullanılmaktadır. Güç elektroniği devrelerinin şebekeye ya da yüke bağlanması durumunda sisteme harmonikler aktarmasından dolayı devrelerin denetimi ve tasarımı önem arz etmektedir. Bu tez çalışmasında fotovoltaik panel beslemeli, artıran çeviricili ve transformatörsüz HERIC eviricili güç elektronik devresinin tasarımı ve PID, kesir dereceli PID ve bulanık mantık gibi denetleyicilerle denetimi yapılmıştır. Denetleyicilerin sistem performansları belirlenmiş ve harmonik analizleri yapılmıştır.

Anahtar Kelimeler: HERIC Evirici, DA-DA Artıran Çevirici, Harmonik, Transformatörsüz Evirici, LCL Filtre, Bulanık Mantık, PID, Kesir Dereceli PID, Denetim

SUMMARY

DESIGN WITH DIFFERENT CONTROLLER OF A SINGLE PHASE STANDALONE PHOTOVOLTAIC SYSTEM WITH HERIC INVERTER

Ahmet YUKSEL

Karadeniz Technical University
The Graduate School of Natural and Applied Sciences
Electrical and Electronics Engineering Graduate Program
Supervisor: Asst. Prof. Dr. Adnan CORA
2018, 86 Pages

The need for electricity is increasing day by day. Renewable energy resources have taken an important place in order to meet this growing need. Solar energy, one of these energy sources, is being encouraged by the government to help our country meet a significant portion of its energy needs in the coming years.

The conversion of solar energy into electrical energy is needed to photovoltaic panel. Power electronic circuits are designed to become the energy obtained from the photovoltaic panels used. Solar energy power circuits usually consist of inverters, inverters and filters. Inverters are used to meet the demands of alternating current loads and are classified according to whether they contain transformers or not. Transformerless inverter structures have been used in recent years to contribute to the efficiency of the system due to its negative characteristics such as reducing the efficiency of the transformer inverter, increasing its cost and increasing its size. In the case of power electronic circuits connected to the grid or load, the control and design of the circuits is important because of the harmonics transferred to the system. In this thesis study, the design of the power electronic unit with photovoltaic panel feeder, boost converter and HERIC inverter is controlled by controllers such as PID, fractional order PID and fuzzy logic. The system performances of the controllers are determined and harmonic analysis is performed

Key Words: HERIC Inverter, DC-DC Boost Converter, Harmonic, Transformerless Inverter, LCL Filter, Fuzzy Logic, PID, Fractioner Order PID, Control

ŞEKİLLER DİZİNİ

	<u>Sayfa No</u>
Şekil 1.1. 2006-2016 yılları arasında dünyada FV kapasitesi.....	2
Şekil 1.2. Yük durumuna göre FV sistemlerinin sınıflandırılması	3
Şekil 2.1. Temel H köprülü evirici topolojisi	7
Şekil 2.2. H köprülü eviricinin anahtarlama durumları	8
Şekil 2.3. H köprülü eviricinin anahtarlama işaretleri	8
Şekil 2.4. H köprülü eviricinin çift kutulu modülasyon durumunda anahtarların durumları.....	9
Şekil 2.5. H köprülü eviricinin hibrit modülasyon durumunda anahtarların durumları	10
Şekil 2.6. H köprülü eviricinin hibrit modülasyon durumunda anahtarlama tetikleme işaretleri	11
Şekil 2.7. H5 Evirici topolojisi	12
Şekil 2.8. H5 evirici anahtarlarının durumları	13
Şekil 2.9. H5 evirici anahtarlarının tetikleme işaretleri	13
Şekil 2.10. HERIC evirici topolojisi	14
Şekil 2.11. HERIC evirici anahtarların durumları	15
Şekil 2.12. HERIC evirici anahtarlarının tetikleme işaretleri	15
Şekil 3.1. Azaltan çevirici devre şeması	16
Şekil 3.2. Artıran çevirici devre şeması	17
Şekil 3.3. Artıran çeviricinin iletim modu	17
Şekil 3.4. Artıran çeviricinin tıkama modu.....	18
Şekil 3.5. Azaltan-Artıran çevirici devre şeması	19
Şekil 4.1. Geri beslemeli kontrol sistemi	22
Şekil 4.2. Kesir dereceli uzayda klasik PID denetleyicinin gösterimi	22
Şekil 4.3. Kesir dereceli $PI^{\lambda}D^{\mu}$ Denetleyici	22
Şekil 4.4. Sıcaklık için üyelik fonksiyonu örneği	24
Şekil 4.5. Üyelik fonksiyonlarının farklı tipleri.....	24
Şekil 4.6. Bulanık mantık denetim sistemi temel yapısı	25
Şekil 4.7. Üyelik fonksiyonu şekilleri.....	26
Şekil 4.8. Bulanıklaştırma işlemi	27
Şekil 4.9. Max-Dot yöntemi.....	28
Şekil 4.10. Min-Max yöntemi.....	29

Şekil 5.1.	Benzetimi yapılan FV sistem.....	31
Şekil 5.2.	DA-DA artıran çeviricinin benzetim çalışması	33
Şekil 5.3.	DA-DA artıran çeviricinin PID denetimli çıkış geriliminin referans gerilimi takip etmesi.....	33
Şekil 5.4.	FV panellerin zamana göre ışınlım-sıcaklık değişimi	33
Şekil 5.5.	ışınlım ve sıcaklık değişimi durumunda PID denetimli artıran çeviricinin referans gerilimi takip etmesi	34
Şekil 5.6.	DA-DA artıran çeviricinin KDPID denetimli çıkış geriliminin referans gerilimi takip etmesi.....	35
Şekil 5.7.	ışınlım ve sıcaklık değişimi durumunda KDPID denetimli artıran çeviricinin referans gerilimi takip etmesi	35
Şekil 5.8.	Bulanık mantık giriş-çıkış için üyelik fonksiyonları	37
Şekil 5.9.	DA-DA artıran çeviricinin bulanık mantık denetimli çıkış geriliminin referans gerilimi takip etmesi	38
Şekil 5.10.	ışınlım ve sıcaklık değişimi durumunda bulanık mantık denetimli artıran çeviricinin referans gerilimi takip etmesi	38
Şekil 5.11.	Şebekeden bağımsız HERIC eviricili sistem benzetimi	40
Şekil 5.12.	Yüke aktarılan gerilim ve akım şekilleri	40
Şekil 5.13.	Akım ve gerilim harmonik bozunumları	41
Şekil 5.14.	Yüke aktarılan gerilim ve akım şekilleri	41
Şekil 5.15.	Akım ve gerilim harmonik bozunumları	42
Şekil 5.16.	Yüke aktarılan gerilim ve akım şekilleri	42
Şekil 5.17.	Akım ve gerilim harmonik bozunumları	43
Şekil 5.18.	Yapılan çalışmanın blok diyagramı	43
Şekil 5.19.	TMS320DOCKF28335 SSİ genel görüntüsü	44
Şekil 5.20.	VLA106-15151 Genel görünümü.....	46
Şekil 5.21.	VLA106-15151 Devre şeması	46
Şekil 5.22.	S5 ve S6 arasındaki ölü zaman	46
Şekil 5.23.	H köprü tarafındaki anahtarların ölü zaman eklenmiş hali.....	47
Şekil 5.24.	Bir anahtara ait sürücü devre şeması	47
Şekil 5.25.	Sürücü devre PCB devre şeması.....	48
Şekil 5.26.	Analog bindirme devre şeması	49
Şekil 5.27.	Analog bindirme devresi PCB çizimi	49
Şekil 5.28.	Analog bindirme devresi giriş çıkış işaretleri.....	50
Şekil 5.29.	Güç elektroniği devre şeması.....	51

Şekil 5.30. Güç elektroniği baskı devresi	51
Şekil 5.31. Deneysel düzeneğin genel görünümü	52
Şekil 5.32. Temel filtre topolojileri	53
Şekil 5.33. LCL filtre devre şeması	53
Şekil 5.34. DA-DA artıran çeviricinin PID denetimli çıkış geriliminin referans gerilimi takip etmesi	55
Şekil 5.35. Işınım ve sıcaklık değişimi durumunda PID denetimli artıran çeviricinin referans gerilimi takip etmesi	55
Şekil 5.36. DA-DA artıran çeviricinin KDPID denetimli çıkış geriliminin referans gerilimi takip etmesi	56
Şekil 5.37. Kaynak gerilimi değişimi durumunda KDPID denetimli artıran çeviricinin referans gerilimi takip etmesi	57
Şekil 5.38. DA-DA Artıran çeviricinin bulanık mantık denetimli çıkış geriliminin referans gerilimi takip etmesi	58
Şekil 5.39. Kaynak gerilimi değişimi durumunda bulanık mantık denetimli artıran çeviricinin referans gerilimi takip etmesi	58
Şekil 6.1. PID denetim durumunda yüke aktarılan gerilimin dalga şekili	61
Şekil 6.2. PID denetim durumunda gerilim harmonik bozunumu	60
Şekil 6.3. KDPID denetim durumunda yüke aktarılan gerilimin dalga şekili	62
Şekil 6.4. KDPID denetim durumunda gerilim harmonik bozunumu	63
Şekil 6.5. Bulanık mantık denetim durumunda yüke aktarılan gerilimin dalga şekili	64
Şekil 6.6. Bulanık mantık denetim durumunda gerilim harmonik bozunumu	64

TABLULAR DİZİNİ

	<u>Sayfa No</u>
Tablo 4.1. λ ve μ değerlerine göre denetleyici durumları	22
Tablo 5.1. Kural tabanı	37
Tablo 5.2. DA-DA artıran çeviricinin performans sonuçları	39
Tablo 5.3. Deneysel çalışma sistem parametreleri.....	51
Tablo 5.4. DA-DA artıran çeviricinin referans gerilimi değişimi durumunda performans sonuçları.....	59
Tablo 5.5. DA-DA artıran çeviricinin kaynak gerilimi değişimi durumunda performans sonuçları.....	59
Tablo 5.6. İEEE1547 harmonik standartları ve denetleyici harmonik performansları	65

SEMBOLLER DİZİNİ

FV	Fotovoltaik
kW	Kilo Watt
MW	Mega Watt
GW	Giga Watt
DA	Dođru Akım
AA	Alternatif Akım
BM	Bulanık Mantık
BMD	Bulanık Mantık Denetleyicisi
KDPID	Kesir Dereceli PID
HERIC	Highly Efficient and Reliable Inverter Concept
PWM	Darbe Genişlik Modülasyonu
SPWM	Sinüsoidal Darbe Genişlik Modülasyonu
EMI	Elektromanyetik Girişim
THD	Toplam Harmonik Bozunumu
SOGİ-FLL	Second Order Generalized Integrator – Frequency Locked Loop
MPPT	Maximum Power Point Tracking
RMS	Root Mean Square
NPC	Neutral Point Clamped
FB	Tam Köprülü
R	direnç
L	Endüktans
C	Kapasite
I	Akım
V	Gerilim
ÜF	Üyelik Fonksiyonu
SSİ	Sayısal Sinyal İşleyici

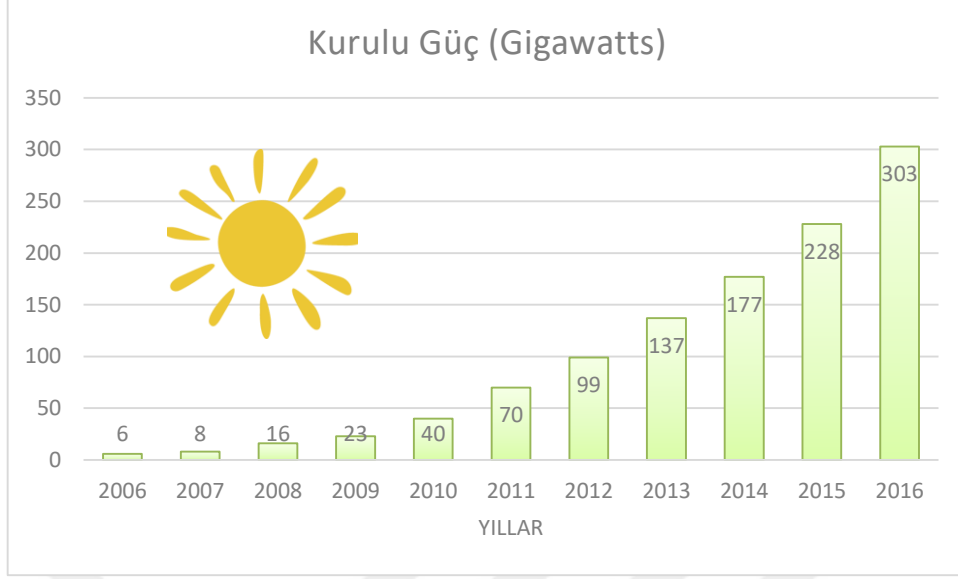
1. GENEL BİLGİLER

1.1. Giriş

Elektrik enerjisi, insan yaşamının her alanında vazgeçilmez bir kaynak haline gelmiştir. Elektrik enerjisi için artan talepler, petrol ve doğalgaz gibi kaynakların tükenecek olması araştırmacıları temiz, getirisi yüksek, çevre kirliliğine etkisi olmayan ve gaz emisyonunu azaltan yenilenebilir enerji kaynaklarına yöneltmiştir [1].

Yenilenebilir enerji sistemleri arasında rüzgar enerjisi, son yıllarda ülkemizde ve dünyada büyük bir gelişme göstermiştir. Bu enerji sistemleri genellikle coğrafi olarak insan yerleşim yerlerinden uzak olmaktadır. Değişken hava durumları yenilenebilir enerji sistemlerinde fliker problemine bağlı olarak ortak bağlantı noktasını artırırken, rüzgar enerji sistemlerinde de şebeke bağlantı problemini karşımıza çıkarmaktadır [2]. Anlık olarak rüzgar hızının değişimleri sistem üzerinde aktif gücün, frekansın ve genliğin değişmesine sebep olmasına ve bu da şebeke bağlantısı noktasında zorluklara sebebiyet vermektedir.

Yaygın olarak ikinci yenilenebilir enerji kaynağı olarak karşımıza güneş enerji kaynakları gelmektedir. Güneş enerjisinde hava değişimlerinden kaynaklı sorunlar büyük oranda halledilmiştir. Güneş enerji santrallerinden elde edilen enerji hemen yakın bölgelerde (il, ilçe, sanayi) kullanılabilir. Güneş enerji sistemlerinde de fliker problemi görülmektedir, ancak hava durumundaki değişimler rüzgara göre daha tahmin edilebilir olduğundan ortak mod gerilimi sorunu daha az görülmektedir. Güneş enerjisinden elektrik enerjisi elde edebilmek için Fotovoltaik (FV) teknolojisine ihtiyaç duyulmaktadır. Son yıllarda FV panellerden elektrik enerjisi elde edilmesi üstel olarak artmıştır (Şekil 1.1.). Dünya çapında devlet teşvikleri FV güç sisteminin kurulum (panel, evirici, sigorta gibi) ücretlerini aşağı çekmiştir. Canadian Solar olarak adlandırılan küresel FV panel firmasının FV panellerin maliyeti üzerine yapmış oldukları araştırmada, 2014 yılının sonunda 0.47 \$/W iken bu rakam 2017 yılının sonunda 0.36 \$/W 'a düşmüştür. Bu son üç yıl zarfında ise FV modül fiyatları %25 düşmüştür [3].

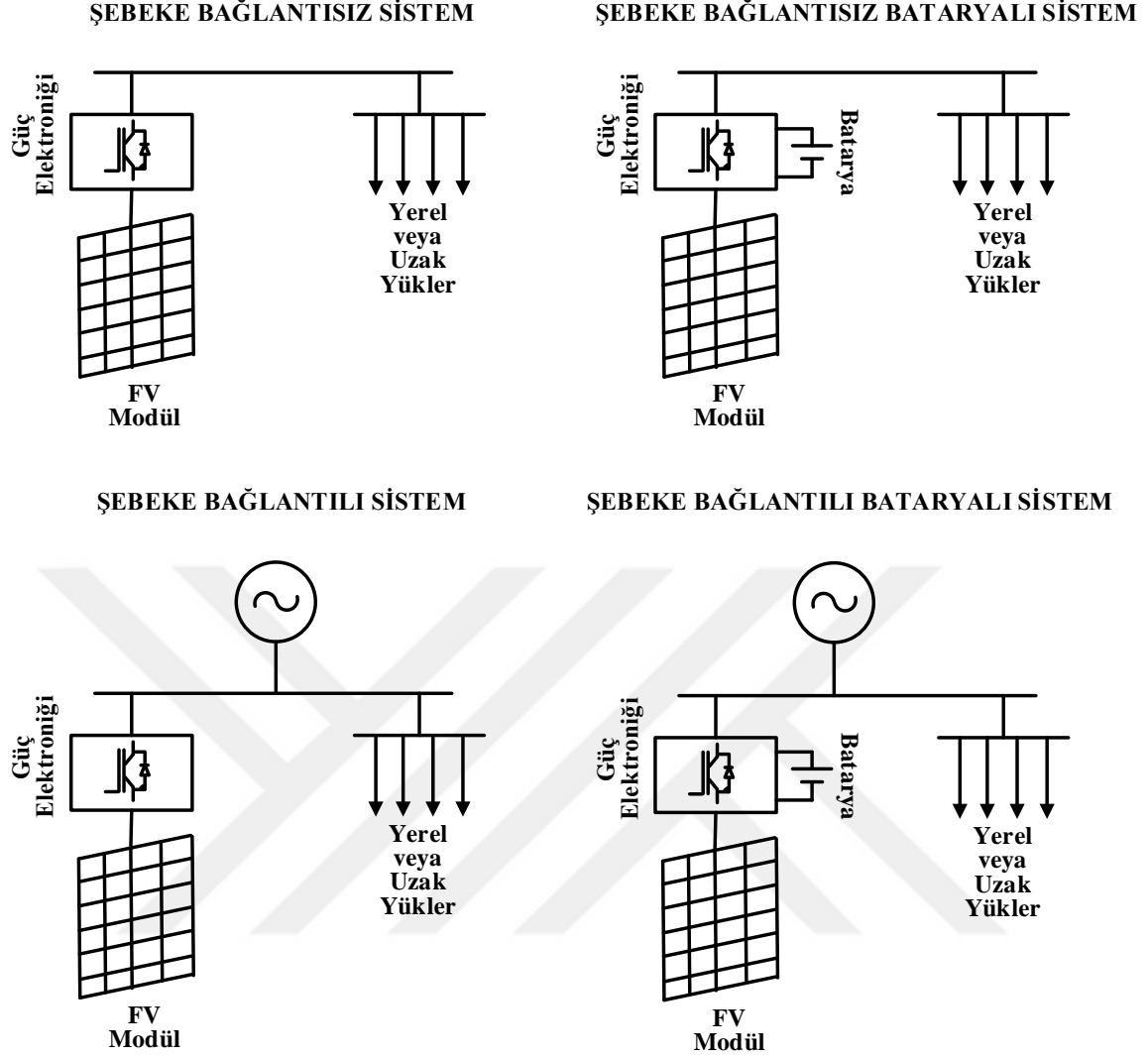


Şekil 1.1 2006-2016 yılları arasında dünyada FV kapasitesi [4].

2016 yılında dünya çapında en az 75 GW FV güç sistemi eklenmiştir. Bu her bir saatte 31000 den fazla FV panel kurulduğu anlamına gelmektedir [4].

Ülkemizdeki durum ise 2014 yılında güneş enerjisinden elektrik üretimi kurulu gücü yaklaşık olarak 40 MW iken 2015 yılı sonunda 249 MW'a yükselmiştir, 2018 yılı Şubat ayı sonunda ise bu rakam 3912 MW değerine ulaşmıştır [5]. Bu rakamlar güneş enerjisinden elektrik üretimi toplam kurulu gücün sadece %4.6'lık kısmını teşkil etmektedir. Ülkemiz 2023 yılı ulusal yenilenebilir enerji eylem planı çerçevesinde toplam kurulu gücün %15'lik kısmını yenilenebilir enerji kaynaklarından karşılamayı planlamaktadır, buda güneş enerjisinin daha etkin ve verimli kullanılacağı anlamına gelmektedir [5].

FV enerji sistemleri; büyük çaplı FV sistemler (MW mertebesinde güneş santralleri), endüstriyel yapıların çatısına konulan orta çaplı FV sistemler (on kW'lar mertebesinde) ve son olarak elektrik şebekesinden uzak yerleşik yükler için tipik olarak çatı üzerine koyulan küçük çaplı FV sistemler (birkaç kW mertebesinde) olarak gruplandırılabilir. Yapı uygulamalarında şebeke bağlantılı/bağlantısız ve batarya destekli/desteksiz olabilmektedir (Şekil 1.2). Tüm bu sistemlerden kullanılabilir elektrik enerjisi (frekans uyumu, harmonik değerleri vs.) elde etmek için güç elektroniği devreleriyle desteklenmesi gerekmektedir. Yenilenebilir enerji kaynaklarının en verimli şekilde kullanılabilmesi için güç elektroniği devreleri geliştirilmiş ve devre elemanları zamanla (verimlilik, dayanıklılık) iyileştirilmiştir.



Şekil 1.2 Yük durumuna göre FV sistemlerinin sınıflandırılması

FV sistemlerde tüketicinin veya yükün Doğru Akım (DA) ve Alternatif Akım (AA) özelliğine göre sistem içerisinde kullanılan güç elektroniği devre elemanları farklılıklar göstermektedir. FV sistemlerde AA yüklerin ihtiyacını karşılayabilmek için eviricilere ihtiyaç duymaktadırlar. FV sistemlerde bu eviricilerin transformatör bulundurup bulundurmamasına göre gruplandırılırlar. Transformatör eviricinin verimini düşürmesi, maliyetini artırması ve boyut olarak büyük göstermesi gibi olumsuz etkilere sahiptir. Bu olumsuz etkilerinden dolayı son yıllarda ki çalışmalarda transformatörsüz evirici topolojileri kullanılmaktadır [6].

Bu tez çalışması genel olarak 6 kısımdan oluşmaktadır. Çalışmanın ilk bölümünde, FV sistemlerde kullanılan güç elektroniği devreleri olan transformatörsüz eviricilerin çalışma prensipleri, avantajları ve dezavantajları belirtilmiştir, ikinci kısımda DA-DA çeviricinin

çalışma prensipleri ve türleri hakkında bilgiler verilmiştir. Üçüncü kısımda sistemin denetlenmesinde kullanılan Bulanık Mantık (BMD), kesir dereceli PID (KDPID) ve PID denetleyicilerinin tasarım kriterleri açıklanmıştır.

Çalışmanın dördüncü bölümünde DA-DA artıran çeviricili denetimli HERIC eviricili FV sistemin benzetim çalışmaları yapılmıştır. FV panellerden elde edilen DA gerilimi artıran çevirici yardımıyla yükseltilmiş ve istenilen çıkış gerilimi elde edilmiştir. Bu gerilim transformatörsüz HERIC evirici yardımıyla AA gerilimine çevrilmiştir. FV panellerin sıcaklık ve ışınım değişimlerinde çıkış gerilimi değişmesinden ötürü eviricinin çıkış gerilimi değişmektedir, bu eviricinin çıkış gerilimini sabit tutabilmek için BM, KDPID ve PID denetleyiciler kullanılmıştır. Benzetimi yapılan sistemin çıktıları THD yönünden uluslararası standartlara uygunluğu incelenmiştir,

Çalışmanın son kısmında ise benzetim çalışması yapılan sistemin protatip uygulaması yapılmıştır.

Bu tezde, şebekeden bağımsız transformatörsüz HERIC eviricili DA-DA artıran çeviricili FV sistemin tasarımı, Bulanık Mantık, PID ve KDPID tabanlı denetimi ve uygulaması yapılmıştır. Bulanık Mantık, PID ve KDPID denetleyici DA-DA artıran çeviricinin anahtarının doluluk boşluk denetimi üzerine olmaktadır.

1.2. Literatür Araştırması

1992 ile 2004 yılları arasında, FV güç sistemleri güç büyüklüğü olarak 2-10 kW büyüklüğünde rezidental olarak kullanılırdı [7]. Günümüze gelindiğinde ise FV sistemler 100MW'dan daha büyük sistemler olarak karşımıza çıkmaktadır [8-11]. Genellikle geleneksel residential FV güç sistemleri şebeke bağlantılı veya bağlantısız transformatörlü ve öncesinde DA/AA eviricili olarak görülmekteydi. Transformatörler izalasyon amacıyla ve insan güvenliğini sağlamasından dolayı kullanılmaktaydı. Ayrıca transformatörler şebeke bağlantılı FV güç sistemlerinde şebekeye DA aktarılmasını engellemekte ve evirici çıkış gerilimini yükseltebilmekteydiler [12]. Transformatörlerin bu faydalarına rağmen FV güç sistemlerinde eviricinin boyutunu büyütme, ağırlığıyla maliyetini artırmak ve verimini düşürmek gibi olumsuz etkileride bulunmaktaydı. Transformatörün bu olumsuz etkilerinden dolayı FV güç sistemlerinde, transformatörsüz FV eviriciler kullanılmaktadır [13]. Eviricilerden transformatörlerin kaldırılması FV güç sistemlerinde değişken ortak mod geriliminden kaynaklanan sızıntı akımlarını meydana getirmektedir. Bu sızıntı akımlar FV

paneller ile toprak arasında oluşan parazitik kapasitelerden akarlar ve ciddi güvenlik problemlerine sebep olurlar [14]. Bundan dolayı sızıntı akımlarını makul seviyelerde tutulması gerekir [15]. Ortak mod gerilimi şebeke frekansında değişmeli ve sızıntı akımını bastırabilmek için sabit değerli olmalıdır.

Bu problemin çözülebilmesi için H köprülü Sinüsoidal Darbe Genişlik Modülasyonlu (SPWM) eviriciler kullanılır. Tüm çalışma modları esnasında, makul bir sızıntı akımına sebep olan sabit bir ortak mod gerilimidir. Bu avantajına rağmen, SPWM'li H köprülü evirici yüksek miktarda elektromanyetik girişime (EMI), Toplam Harmonik Bozunuma (THD) ve düşük miktarda verime sahiptirler [16-17]. En önemlisi de büyük oranda verimini düşüren evirici çıkış endüktansından giriş kapasitesine akan geri güç akışıdır [18-19].

Birçok araştırmacı ve firma bahsedilen bu sızıntı akım problemini kuruluşlar tarafından belirlenen standartlar çerçevesinde çözmek için çalışmalar yapmışlardır [20]. Bu çalışmalardan biri olarak 2006 yılında Sunways firması tarafından H köprülü eviricinin AA koluna iki adet bypass anahtarı eklenmesiyle HERIC (Highly Efficient and Reliable Inverter Concept) evirici topolojisi ortaya çıkarılmıştır [20]. HERIC evirici ticari olarak Sunway firması tarafından kurulan sistemlerde yüksek verimlilik ve düşük sızıntı akımlarından dolayı tercih sebebi olmuştur.

1.2.1. HERIC Eviriciyle İlgili Çalışmalar

Bu başlık altında ele alınan çalışmalar, çeşitli makale ve bildirimlerde HERIC eviriciyle ilgili olarak, şebeke bağlantısı, avantajları, dezavantajları ve diğer eviricilerle karşılaştırmasıyla ilgili çalışmaları içermektedir.

Phan QUOC Dzung ve arkadaşları, PSIM benzetim yazılımını kullanarak DSP F28335 yardımıyla HERIC eviricinin tasarımını ve uygulamasını yük bağlantılı olarak yapmışlardır. Çalışmada PSIM yazılımıyla anahtarlama işaretleri elde edilmiş, SKHI21A sürücüsüyle anahtarların sürülmesi yapılmış ve sabit direnç altında sızıntı akımları gözlemlenmiştir [22].

David Gamez Patino ve arkadaşları, HERIC eviricinin SOGI-FLL (Second Order Generalized Integrator – Frequency Locked Loop) denetimini yaparak faz ve frekans senkronizasyonunu benzetim ve uygulamasını gerçekleştirmişlerdir. SOGI-FLL yönteminin HERIC eviriciyle standartların üstünde bir harmonik bozunumuyla bile hızlı bir şekilde faz ve frekans senkronizasyonu yapmışlardır. Çalışmada mikrodenetleyici olarak Arduino Due kullanılmıştır. Bu yöntemle eviricinin verimi % 80 ve THD % 10.67 olmuştur [23].

Payal Somani ve arkadaşı çalışmasında, HERIC eviricili DA-DA dönüştürücülü bir FV sistem tasarım benzetimi yapmışlardır. Çalışmanın dönüştürücü kısmında MPPT(Maximum Power Point Tracking) denetimi yapılmakta ve evirici kısmında da DA gerilimini AA gerilimine dönüştürerek yüke uygulamaktadır [24].

Gotekar ve arkadaşları, Central Electricity Authority (CEA) tarafından belirtilen standartların H köprüden türeyen H5, H6 ve HERIC eviricileri için bu standartların uygunluğu araştırılmıştır. Çalışmada ayrıca bu eviricilerin anahtar sayıları, çalışma modları esnasındaki iletimde olan anahtar sayıları, verimlilikleri, sızıntı akımları, ortak mod gerilimleri, akım baskıları ve anahtarlama frekansları yönünden karşılaştırılmıştır [25].

Thiyagarajan (2017) ve arkadaşı, HERIC eviricinin anahtarlama işaretini elde ederken referans sinyali olarak sinüsoidal ve trapezoidal işaretlerle farklı PWM işaretleri üretmişlerdir. Bu farklı PWM işaretlerine göre HERIC eviricinin çıkış geriliminin, RMS değerinin ve THD değerlerinin incelemesini yapmışlardır [26].

Piyusha Kukade (2017) ve arkadaşları, FV güç sistem uygulamalarında dokuz seviyeli HERIC eviricinin sızıntı akımının azaltılması üzerine çalışma yapmışlardır. Çalışmada önerilen çok seviyeli HERIC eviricinin çok seviyeli evirici Neutral Point Clamped (NPC) eviriciye göre üstünlükleri belirtilmiştir [27].

Vazquez (2015) ve arkadaşları, çok seviyeli şebeke bağlantılı HERIC ve H5 eviricisinin ortak mod geriliminin azaltılması üzerine çalışma yapmışlardır. Ayrıca çalışmalarında sinüsoidal PWM tekniği kullanmalarının hem sızıntı akımını düşürdüğünü hemde anahtarlama eleman kayıplarının daha az olduğunu göstermişlerdir [28].

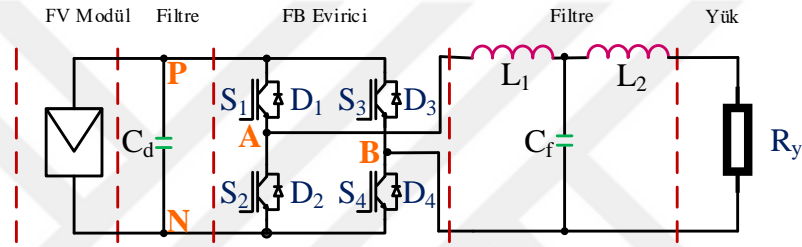
İ.E. Atawi (2016) HERIC eviricinin FV panellerden utilization faktörünün düşük olmasından dolayı PI bulanık mantık tabanlı bir yaklaşım geliştirmiştir. Bu yaklaşımla ve geleneksel HERIC eviricisinin FV panelden çektiği güçleri karşılaştırmıştır[29].

2. FOTOVOLTAİK EVİRİCİ YAPILARI

Bu kısımda H köprülü eviricilerden türeyen ve birbiriyle ilintili olan evirici yapıları ve bu eviricilerin modülasyon işaretleri hakkında bilgiler verilmektedir.

2.1. H Köprülü Topolojilerden Türeyen Evirici Yapıları

H köprülü veya tam köprülü evirici ailesi ilk olarak 1965 yılında W.Mcmurray tarafından güç elektroniği dönüştürücülerinde önemli bir referans olarak ortaya çıkmıştır [30].



Şekil 2.1 Temel H köprülü evirici

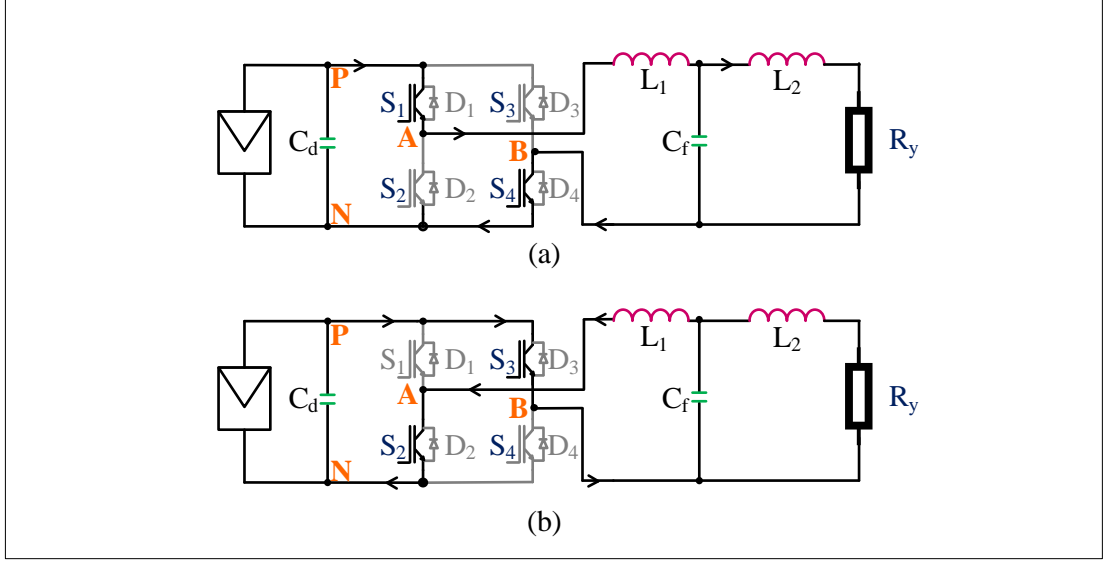
DA gerilimini AA gerilimine çevirmede ilk olarak karşımıza HB evirici topolojisi çıkmıştır. Bu yapı anahtarlama modülasyonuna göre hem DA-DA dönüştürücü hemde DA-AA evirici olarak çok yönlü kullanılmaktadır.

2.1.1. Temel Tam-Köprülü Evirici

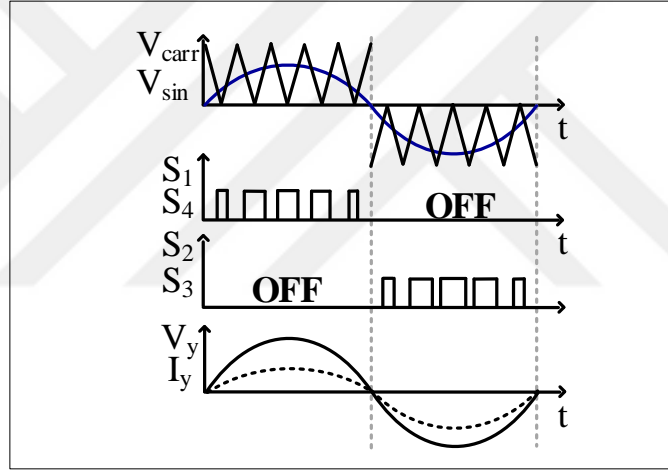
İlk pratik FV H köprü tabanlı evirici yapısı Şekil 2.1 deki gibidir. Üç tip modülasyon işareti vardır. Bunlar;

- Tek kutuplu modülasyon.
- İki kutuplu modülasyon.
- Hibrit modülasyon.

Tek kutuplu modülasyon durumunda, S₁ ve S₄ ile S₂ ve S₃ aynı anda anahtarlanır Şekil 2.2'e göre AA gerilimi çıkışta görülür. Şekil 2.3'de ise modülasyon işaretleri gözükmemektedir.



Şekil 2.2 (a) S_1 ve S_4 yüksek frekans anahtarlanırken diğer anahtarlar kapalı durumda
(b) S_2 ve S_3 yüksek frekans anahtarlanırken diğer anahtarlar kapalı durumda



Şekil 2.3 H köprülü eviricinin anahtarlama işaretleri

Bu evirici tipinin özellikleri şu şekilde sıralanabilir;

- Eviricinin A ve B bacakları senkron bir şekilde (S_1 ve S_4 , S_2 ve S_3) benzer sinüs referansında ve yüksek frekansda anahtarlanırlar.
- Sıfır geçişi görülmez.

Avantajları;

- Panel ve toprak arasında oluşan kapasitenin sızıntı akım gerilimi sadece şebeke frekansında görülür ve anahtarlama frekans bileşeni barındırmaz. Düşük sızıntı akımını bulunur.

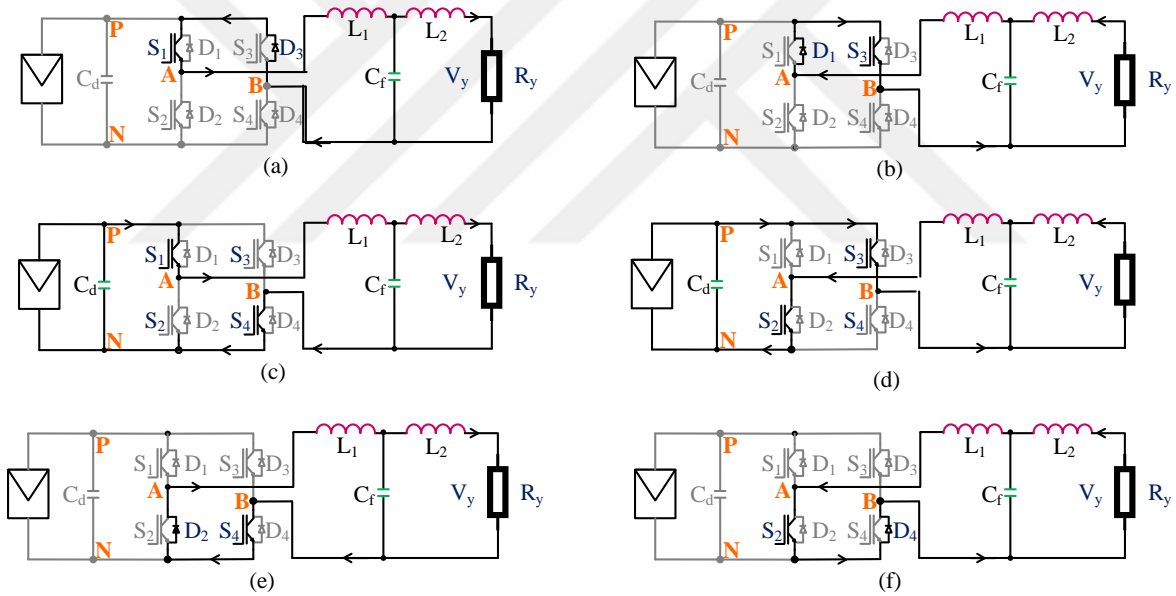
Dezavantajları;

- Akımda ki anahtarlama sıçramaları anahtarlama frekansı kadardır ve bundan dolayı çıkış filtresi tasarımı zordur.
- Filtre girişindeki gerilim değişiminin ($\pm V_{PN}$) olması kayıpları artırmaktadır.
- Çıkış geriliminde sıfır geçişi bulunmadığından dolayı giriş kapasitesi C_d ile çıkış filtreleri ($L_{1(2)}$) arasında reaktif güç akışı olur. Buda eviricinin verimini düşürür.

Çift kutuplu modülasyon durumunda her bir bacak kendi referans işaretine göre anahtarlanır. AA gerilimi Şekil 1.5 deki gibi elde edilir.

Bu evirici tipinin özellikleri şu şekilde sıralanabilir;

- A ve B bacakları aynalanmış sinüs işareti referans alınarak yüksek frekansda anahtarlanır.
- Çıkış geriliminde S_1, S_3 ve S_2, S_4 iletimde olduğunda iki sıfır geçişi görülür.



Şekil 2.4. HB eviricinin çift kutulu modülasyon durumunda anahtarların durumları

- a, c, e) Pozitif alternans durumu
b, d, f) Negatif alternans durumu

Avantajları;

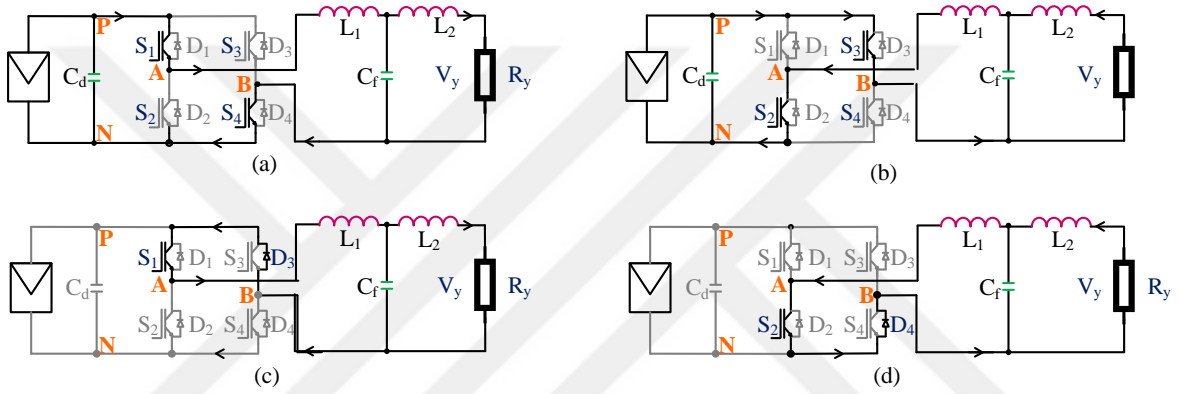
- Akımdaki anahtarlama sıçramaları anahtarlama frekansının iki katı olduğundan tek kutuplu modülasyona göre daha düşük çıkış filtresi gerektirir.
- Filtre girişinde evirici çıkış gerilim değişimi ($0 \rightarrow +V_{PN} \rightarrow 0 \rightarrow -V_{PN} \rightarrow 0$) olması kayıpları azaltır.
- Sıfır geçiş sayesinde eviricinin verimi % 98'lere kadar çıkabilir.

Dezavantajları;

- Kapasite ile panel arasında oluşan parazitik kapasitelerden yüksek miktarlarda sızıntı akımı akmasıdır.

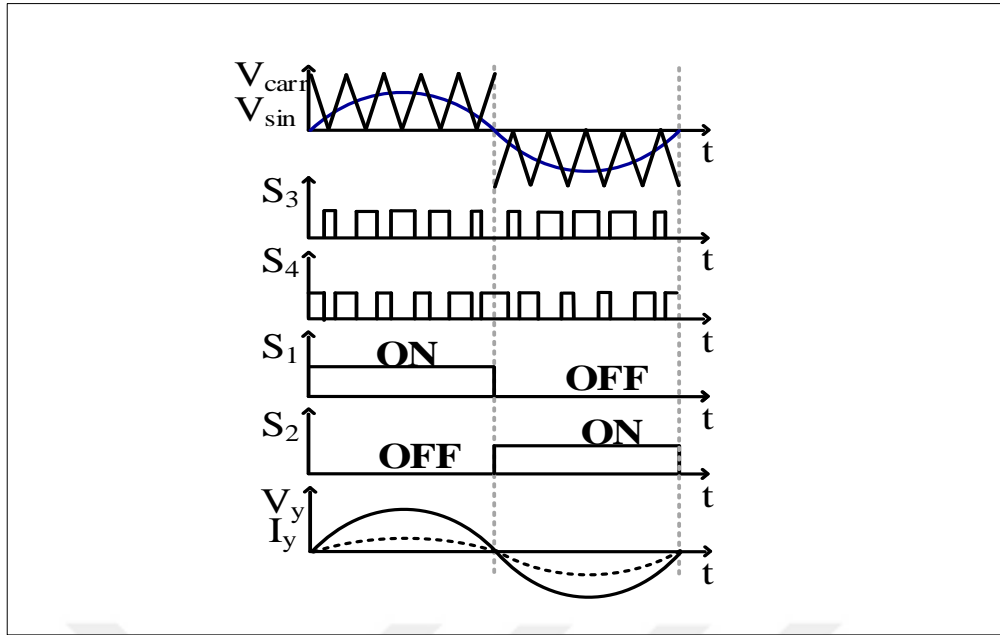
Çift kutuplu modülasyon sayesinde H köprülü eviricinin verimi yüksek olmasına rağmen yüksek frekans bileşenleri içerdiği için transformatörsüz evirici topolojilerine uygun değildir.

Hibrit modülasyon durumunda [31], bir kol şebeke frekansında anahtarlanırken diğer kol ise yüksek frekansda anahtarlanır. AA gerilim Şekil 2.5'deki gibi elde edilir ve anahtarlama işaretleri şekil 2.6'daki gibidir.



Şekil 2.5. HB eviricinin hibrit modülasyon durumunda anahtarların durumları

- $V_y > 0$ S_1 ve S_4 ON, A kolu yüksek frekans B kolu şebeke frekansı
- $V_y < 0$ S_2 ve S_3 ON, A kolu yüksek frekans B kolu şebeke frekansı
- Sıfır geçiş durumu S_1 ve S_3 ve D_3 ON, A kolu yüksek frekans B kolu şebeke frekansı
- Sıfır geçiş durumu S_2 ve S_4 ve D_4 ON, A kolu yüksek frekans B kolu şebeke frekansı



Şekil. 2.6 HB eviricinin hibrit modülasyon durumunda anahtarlama sinayalleri

Bu modülasyon türünün özellikleri aşağıdaki gibi sıralandırılabilir;

- A kolu şebeke frekansında anahtarlanırken B kolu ise yüksek frekansda anahtarlanır.
- İki defa sıfır geçiş durumu gözlemlenir, bunlar $S_1, S_2 = \text{ON}$ durumu ve $S_3, S_4 = \text{ON}$ olduğu durumdur.

Avantajları;

- Filtre girişindeki evirici çıkış gerilimi çift kutupludur. ($0 \rightarrow +V_{PN} \rightarrow 0 \rightarrow -V_{PN} \rightarrow 0$).
- Evirici verimi % 98'lere kadar çıkabilir, sıfır geçişinden dolayı çıkış filtresi ile giriş dc link kapasitesi arasında reaktif güç geçişi olmaz.

Dezavantajları;

- Akımdaki anahtarlama sıçramaları anahtarlama frekansı kadar olduğu için çıkış filtreleme tasarımı zor olur.
- V_{PN} gerilimi şebeke frekansı geçişlerinde titreşimler yapmasından dolayı sızıntı akımları büyük olur ve EMI filtre gerektirir.

2.1.2. H5 Evirici

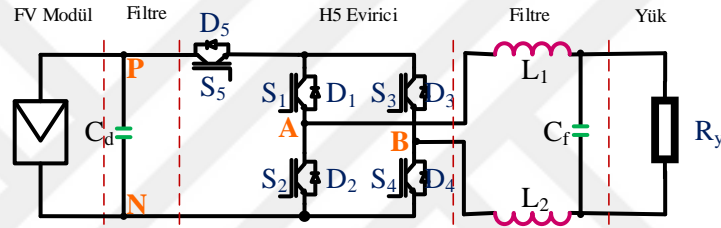
2005 yılında SMA firması tarafından patenti alınmıştır[32]. Bu topoloji Şekil 2.7'de gösterilmiştir. İsmindende anlaşıldığı gibi FB eviricinin DA tarafına fazladan beşinci

anahtarın eklenmesi ile elde edilmiştir. Beşinci anahtarın önemli fonksiyonları aşağıdaki gibi sıralanabilir:

- Sürekli yüksek frekansa anahtarlanarak sıfır geçişler meydana getirir bu da giriş dc link kapasitesi ile çıkış filtre endüktansı arasında reaktif güç geçişini engellereyerek eviricinin verimi yükseltir.
- FV modülü sıfır gerilim geçişi esnasında devreden izole ederek ayırır bu da V_{PN} geriliminin yüksek frekans bileşenini yok eder.

Anahtarlama işaretleri ve anahtarların durumları şekil 2.8 ve 2.9'deki gibidir.

S_5 , S_4 ve S_2 yüksek frekansa anahtarlanırken S_1 ve S_3 şebeke frekansında anahtarlanır. S_5 OFF ve $S_1(S_3)$ ON olması durumlarda iki kere sıfır geçiş durumu gözlemlenir.



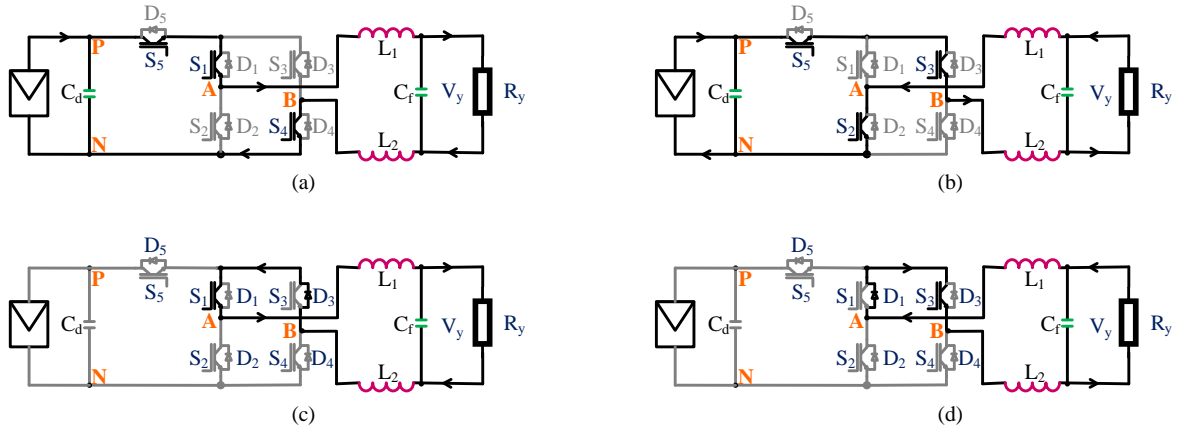
Şekil 2.7 H5 Evirici topolojisi

Avantajları:

- Filtre girişinde evirici çıkış gerilim çift kutupludur. ($0 \rightarrow +V_{PN} \rightarrow 0 \rightarrow -V_{PN} \rightarrow 0$).
- %98'e kadar verimi çıkabilir, giriş kapasitesi ile çıkış endüktansı arasında reaktif güç geçişi görülmez.
- V_{PN} gerilimi sadece şebeke frekansında bileşeni içerir anahtarlama frekansı bileşeni içermez bu sebeple çıkış filtresi tasarımı kolaydır.

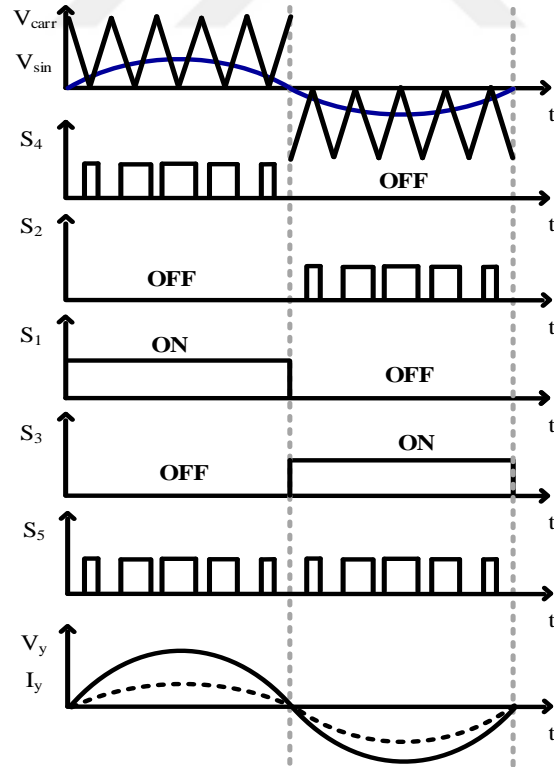
Dezavantajları:

- HB eviriciye göre fazladan bir anahtar bulundurur buda evirici maliyetini artırır.
- Filtre çıkışında pozitif veya negatif alternans esnasında 3 anahtar iletimde olmaktadır buda iletim kayıplarını artırmaktadır.



Şekil 2.8 H5 evirici anahtar durumları

- $V_y > 0$ durumunda, S_4 ve S_5 yüksek frekansa anahtarlanırken S_1 şebeke frekansında anahtarlanır.
- $V_y < 0$ durumunda, S_2 ve S_5 yüksek frekansa anahtarlanırken S_3 şebeke frekansında anahtarlanır.
- $V_y > 0$ durumunda, S_4 ve S_5 yüksek frekansa anahtarlanırken S_1 şebeke frekansında anahtarlanır.
- $V_y < 0$ durumunda, S_2 ve S_5 yüksek frekansa anahtarlanırken S_3 şebeke frekansında anahtarlanır.

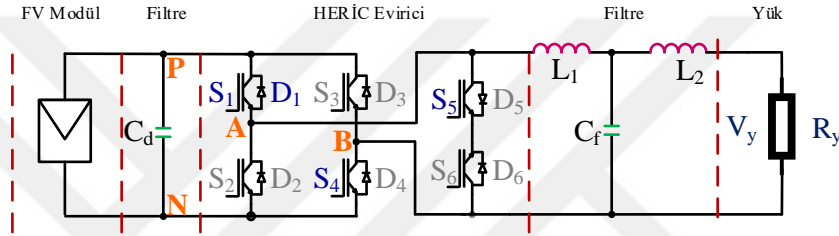


Şekil2.9 H5 evirici anahtarlarının işaretleri

2.1.3. HERIC Evirici

2006 yılında Sunways firması tarafından patentlenen klasik H köprü eviricinin AA tarafına iki adet bypass anahtarının eklenmesiyle oluşturulan HERIC evirici topolojisi Şekil 2.10'da verilmiştir [32].

- Sıfır geçiş esnasında, filtre endüktansları ile dc link kapasitesi arasında reaktif güç geçişi olmadığından dolayı, eviricinin verimi artmaktadır.
- Sıfır geçiş esnasında yükte FV modül arasını izole ettiği için, panelden toprağa akan sızıntı akımının yüksek frekans bilşenini ortadan kaldırır.



Şekil 2.10 HERIC evirici topolojisi

Anahtarlama işaretleri ve anahtarlama durumları şekil 2.11 ve şekil 2.12 deki gibidir. $S_1 - S_4$ ve $S_2 - S_3$ yüksek frekansda anahtarlarken S_5 ve S_6 şebeke frekansında anahtarlansın.

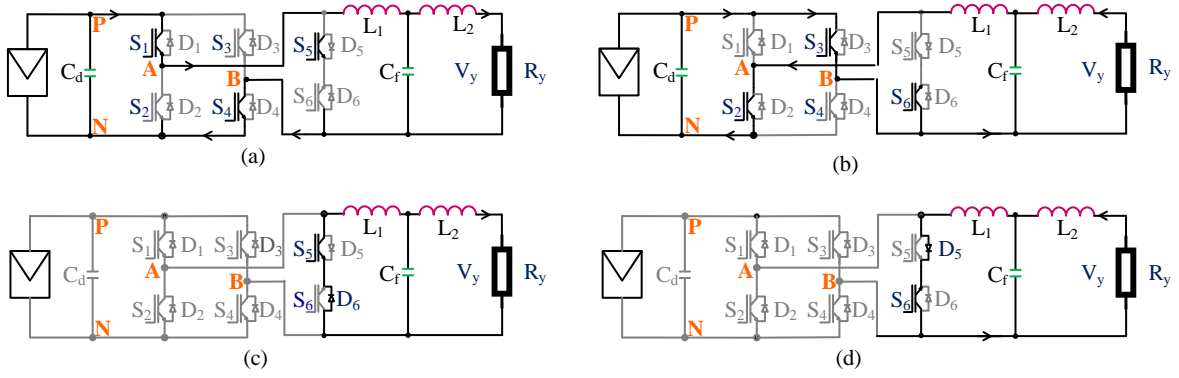
S_5 ve S_6 anahtarlarının aktif olması durumlarında iki adet sıfır geçişi meydana gelir.

Avantajları:

- Filtre girişinde evirici çıkış gerilim çift kutupludur. ($0 \rightarrow +V_{PN} \rightarrow 0 \rightarrow -V_{PN} \rightarrow 0$).
- Sıfır geçişi esnasında dc link kapasitesi ile filtre endüktansı arasında reaktif güç akışı olmadığı için evirici verimi % 97 ye kadar çıkabilir.

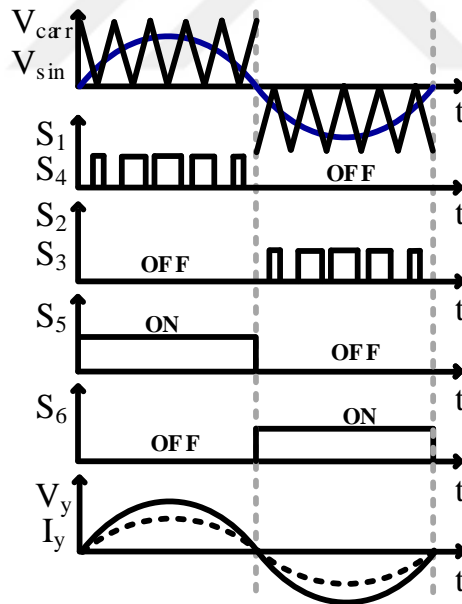
Dezavantajları

- Fazladan iki anahtar içermesidir.



Şekil 2.11 HERIC evirici anahtar durumları

- a) $V_y > 0$ durumunda, S_1 ve S_4 yüksek frekansda anahtarlanırken S_5 şebeke frekansında anahtarlanır.
- b) $V_y < 0$ durumunda, S_2 ve S_3 yüksek frekansda anahtarlanırken S_6 şebeke frekansında anahtarlanır.
- c) $V_y > 0$ durumunda, S_1 ve S_4 yüksek frekansda anahtarlanırken S_5 şebeke frekansında anahtarlanır.
- d) $V_y < 0$ durumunda, S_2 ve S_3 yüksek frekansda anahtarlanırken S_6 şebeke frekansında anahtarlanır.



Şekil 2.12 HERIC evirici anahtarlarının işaretleri

3. DA-DA DÖNÜŞTÜRÜCÜLER

DA-DA dönüştürücüler girişine uygulanan gerilimi artırıp ya da azaltan güç elektroniği devreleridir. DA barasını denetleyebilmek için bazen yükseltmek bazen ise düşürmek gerekmektedir. Düzenli çıkış gerilimi anahtarın doluluk-boşluk oranının değiştirilmesiyle elde edilir. Temel olarak literatürde artıran, azaltan ve hem artıran hem azaltan dönüştürücüler mevcuttur [33-36].

3.1. Azaltan(Buck) Çevirici

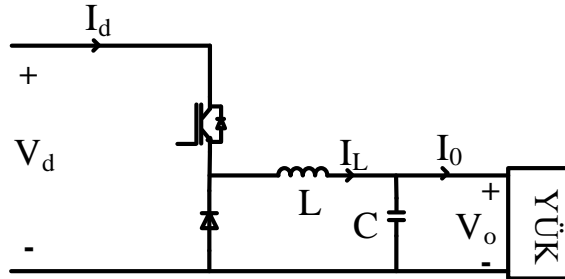
Azaltan Çeviricinin temel mantığı girişine uygulanan gerilimi çıkışına düşürerek aktarmasıdır. Temel azaltan çevirici devresi şekil 3.1'de verilmiştir. Anahtar iletim modundayken, yük gerilimi giriş gerilimi ile aynıdır ve akım girişten yüke aktarılır. Anahtar tıkama durumundayken kaynaktan yüke aktarılan gerilim sıfır olacaktır. Güç girişten çıkışa aktarıldığı için, yük üzerindeki gerilim girişe uygulanan gerilimden az olacaktır. Yük üzerine düşen gerilim formülü aşağıdaki gibi olacaktır.

$$V_o = \left(\frac{1}{T_s}\right) \int_0^{T_s} V_o(t) dt = \left(\frac{1}{T_s}\right) \left((t_{on} \cdot V_d) + (t_{off} \cdot 0) \right) = \left(\frac{t_{on}}{T_s}\right) \cdot V_d \quad (1.1)$$

Buradan doluluk boşluk oranı;

$$D = \frac{t_{on}}{T_s} \rightarrow V_o = D \cdot V_d \quad (1.2)$$

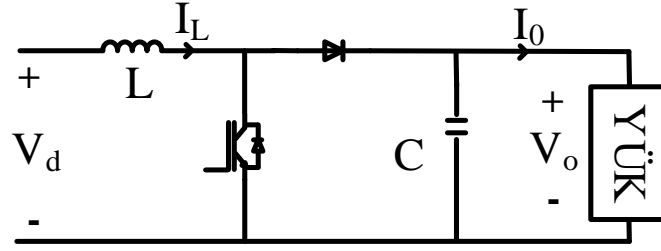
Burada D doluluk-boşluk oranı, t_{on} anahtarın iletim süresi, t_{off} anahtarın tıkama süresi, V_d giriş gerilimi, V_o çıkış gerilimi, T_s bir periyot süresi



Şekil.3.1 Azaltan çevirici devre şeması

3.2. Artıran (Boost) Çevirici

Artıran Çeviricinin temel mantığı girişine uygulanan gerilimi çıkışına artırarak aktarmasıdır. Şekil 3.2’de devre şeması verilmektedir.

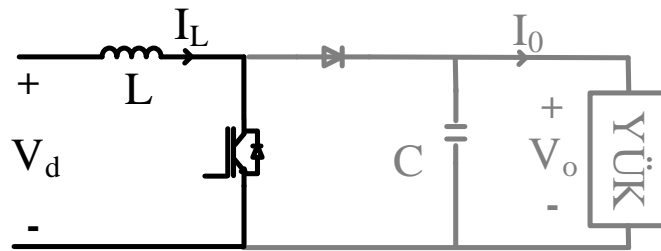


Şekil 3.2 Artıran çevirici devre şeması

Artıran Çeviri Anahtarın iletimde ya da tıkmada olma durumuna göre iki çalışma modu bulunmaktadır. Bu çalışma modları aşağıdaki gibidir.

3.2.1. Artıran Çeviricinin İletim Modu

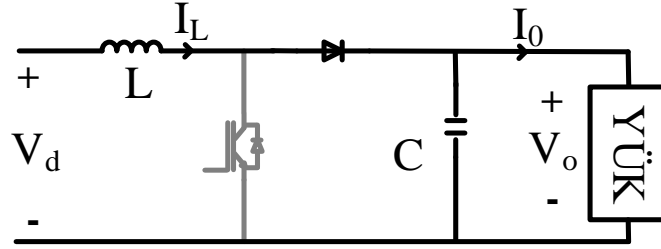
Anahtar iletim de olduğu zaman, L endüktansı çıkış gerilimini artırmak için enerji depolar. Bu şekilde girişdeki gerilim artarak çıkışa yüksek olarak aktarılır. Bu çalışma esnasında, diyot akımının çıkışa akmasını engeller, ayrıca kapasite boşalarak gerilimin yükseltir(Şekil 3.3).



Şekil 3.3 Artıran çeviricinin iletim modu

3.2.2. Artıran Çeviricinin Tıkama Modu

Anahtar tıkama da olduğu zaman, diyot kısa devre olur ve L endüktansında biriken enerji kapasitenin üzerine doğru boşalır. Buna ek olarak, yük üzerindeki akım bu esnada Şekil 3.4 deki gibi sabit kalır.



Şekil 3.4 Artıran çeviricinin tıkama modu

Aşağıdaki denklem artıran çeviricinin girişi ile çıkışı arasındaki bağıntı çıkarılmıştır.

$$V_d \cdot t_{on} + (V_d - V_o) \cdot t_{off} = 0 \quad (1.3)$$

Giriş ile çıkış arasındaki formül doluluk boşluk oranına bağlı olarak elde edilirse:

$$\frac{V_o}{V_d} = \frac{1}{(1 - D)} \quad (1.4)$$

Yukarıdaki formül iletim modu esnasında geçerlidir. Bu çalışma da çıkış akımı sıfır olmayacaktır.

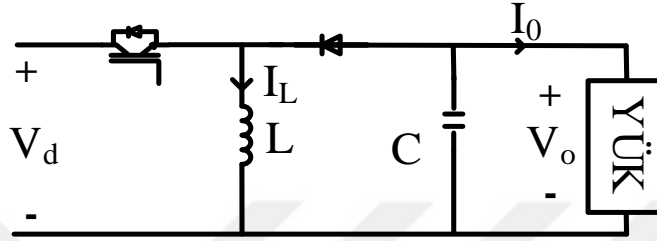
FV panelin artıran çeviricinin girişine bağlandığı zaman, eşdeğer direnç aşağıdaki formül gibi ifade edilir.

$$R_{eş} = \frac{V_d}{I_d} = \frac{(1 - D)V_o}{\frac{I_o}{1 - D}} = \frac{(1 - D)^2 V_o}{I_o} = (1 - D)^2 R_y \quad (1.5)$$

Burada D doluluk-boşluk oranı, t_{on} anahtarın iletim süresi, t_{off} anahtarın tıkama süresi, V_d giriş gerilimi, V_o çıkış gerilimi, T_s bir periyot süresi, I_o çıkış akımı, R_y yük direncidir

3.3. Azaltan-Artıran (Buck-Boost) Çevirici

Azaltan-artıran çeviricinin çalışma mantığı girişine uygulanan gerilimi artırıp veya azaltabilmesidir. Bu dönüştürücü her iki durumu muhafaza etmesinden dolayı anahtarlamalı regülatör devrelerinin en çok tercih edilenidir. Şekil 3.5’de azaltan-artıran çeviricinin devre şeması görülmektedir.



Şekil 3.5. Azaltan-Artıran çevirici devre şeması

Çıkış gerilimi diğer iki dönüştürücüde olduğu gibi anahtarlama elemanının doluluk boşluk oranının değiştirilmesiyle ayarlanır. Bu dönüştürücü doluluk boşluk oranına göre çıkış gerilimini hem alçaltabilir hem de artırabilir. Doluluk boşluk oranı 0.5 den az olduğu durumlarda dönüştürücü azaltan çevirici olarak davranırken, 0.5 değerinin üstünde olduğunda ise artıran çevirici olarak davranır.

Aşağıdaki denklemde azaltan-artıran çeviricinin girişi ile çıkışı arasındaki bağıntı çıkarılmıştır.

$$V_d \cdot t_{on} + (-V_o) \cdot t_{off} = 0 \quad (1.6)$$

Düzenlenirse:

$$\frac{V_o}{V_d} = \frac{D}{(1-D)} \rightarrow \frac{I_o}{I_d} = \frac{(1-D)}{D} \quad (1.7)$$

Yük direnci Ohm kanununa göre düzenlenirse

$$R_y = \frac{V_o}{I_o} = \left(\frac{D}{1-D} \right)^2 \cdot \frac{V_d}{I_d} \quad (1.8)$$

Sonuç olarak FV panelin eş değer direnci formül 1.9’a göre belirlenir.

$$R_{eş} = \frac{V_d}{I_d} = \left(\frac{D}{1-D} \right)^2 \cdot R_y \quad (1.9)$$

Burada D doluluk-boşluk oranı, t_{on} anahtarın iletim süresi, t_{off} anahtarın tıkama süresi, V_d giriş gerilimi, V_o çıkış gerilimi, T_s bir periyot süresi, I_o çıkış akımı, R_y yük direncidir.



4. DENETLEYİCİ TASARIMI

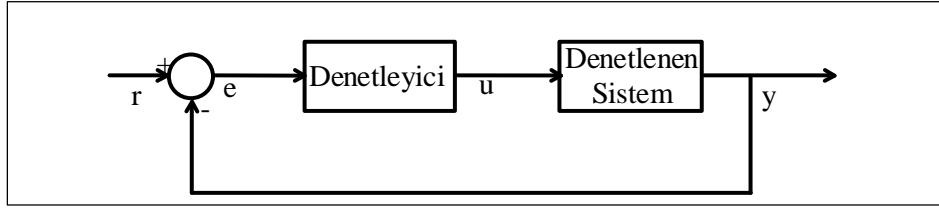
Bu bölümde tasarlanan FV sistemin, denetiminde kullanılan denetleyiciler irdelenecektir. Denetleyicilerin çalışma prensipleri, tasarımında dikkat edilmesi gereken hususlar, tasarım kriterleri belirtilmiştir. Sistemin denetimi kısaca artıran çeviricinin çıkış geriliminin denetlenmesi ve dolaylı olarak HERIC eviricinin çıkış geriliminin denetlenmesi üzerinedir. Denetim yapılabilmesi için referans gerilim ile çıkış gerilimi karşılaştırılmıştır ve farkdan ortaya çıkan hata gerilimi PWM işaretinin doluluk boşluk oranı değiştirerek denetim sağlanmıştır.

4.1. PID ve KDPID Tabanlı Gerilim Denetimi

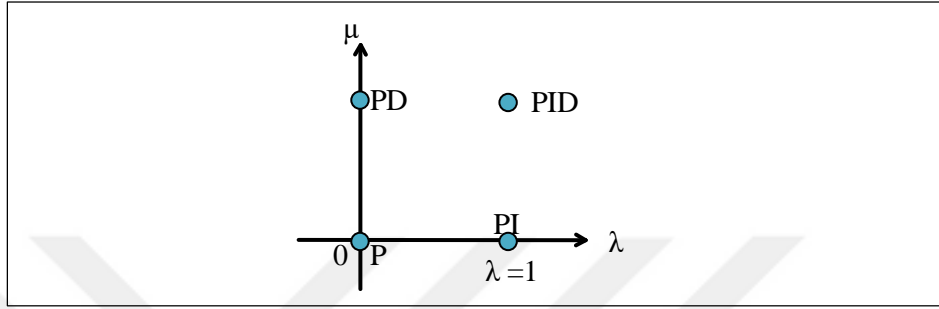
Bu bölümde, PID ve KDPID gerilim denetimi HERIC evirici için verilmiştir. PID ve kesir dereceli PID denetim genellikle kolay yapısından dolayı kullanılır. HERIC eviricinin giriş gerilimini sabitleyebilmek için PID ve KDPID denetleyici kullanılmıştır. Önerilen PID ve KDPID denetleyicisi MATLAB'ın PID ve KDPID Tolbox'ı yardımıyla tasarlanmıştır ve daha sonra gerilim kontrolü için artıran çeviriciye uygulanmıştır.

4.1.1. PID Denetleyici ve Kesir Dereceli PID Denetleyiciler

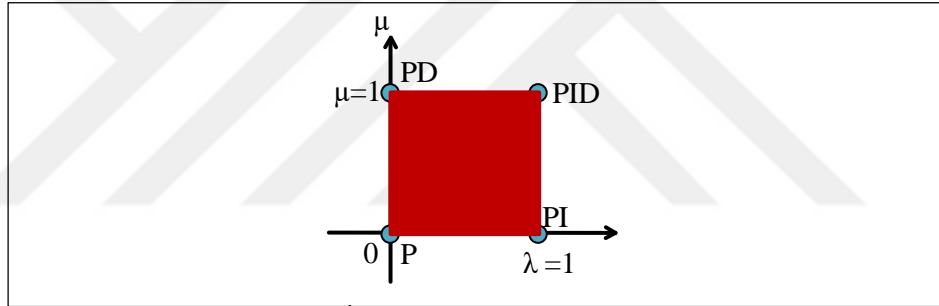
PID denetleyici bir sistemin geçiş cevabını (transient response) sağlamlaştırmak veya sürekli durumda sistemi denetlemek için kullanılan bir denetleyicidir. Şekil 4.1 kapalı çevrim geri beslemeli basit bir kontrol sistemidir. Hata sinyali ($e(t)$) denetleyicinin girişidir ve ($u(t)$) ise denetleyicinin çıkış sinyalidir. Geleneksel tek çevrim PID denetleyici Şekil 4.2'de görüldüğü gibi ($\mu=1$ ve $\lambda=1$) kesir dereceli PID uzayda temsil edilebilir. Şekil 4.3'de görüldüğü gibi kesir dereceli düzlemde sonsuz sayıda denetleyici tasarlanabilir. Kesir dereceli PID 1990 yılında Podlubny tarafından literatüre kazandırılmıştır. Bu denetleyici türü beş parametreden (K_p , K_i , K_d , μ ve λ) oluşmaktadır. Bunlardan (K_p , K_i , K_d) üçü geleneksel PID denetleyicinin katsayılarıdır. Geri kalan iki katsayı (μ , λ) ise integral ve türevin katsayılarıdır.



Şekil. 4.1 Geri beslemeli kontrol sistemi



Şekil.4.2 Kesir dereceli Uzayda Klasik PID Denetleyicisinin gösterimi

Şekil. 4.3 Kesir dereceli $PI^\lambda D^\mu$ Denetleyici ($0 < \mu < 1$) ve ($0 < \lambda < 1$)

Klasik tek çevrim (PID, PI, PD) denetleyiciler kesir dereceli $PI^\lambda D^\mu$ denetleyiciden aşağıdaki tablodaki kriterlere göre tasarlanabilir.

Tablo 4.1 λ ve μ değerlerine göre denetleyici durumları

Denetleyici	λ	μ
PID	1	1
PI	1	0
PD	0	1

Yukarıdaki tablodan da görüldüğü gibi kesir dereceli $PI^\lambda D^\mu$ λ ve μ bire eşit olduğu durumda görülmektedir. Zaman domeninde denklemsel olarak aşağıdaki gibi ifade edilecektir.

$$u(t) = K_p * e(t) + K_I \frac{d^{-\lambda} * e(t)}{dt^{-\lambda}} + K_D \frac{d^{\mu} * e(t)}{dt^{\mu}} \quad (1.10)$$

Şekil 4.1. dende anlaşılacağı gibi denetlenecek sistemlerde önemli olan hatanın sıfıra getirilebilmesidir. Bulanık mantık, PID ve KDPID denetleyicilerde hatayı sıfıra getirebilmek için deneme yanılma yöntemleri kullanılarak gerekli parametreler belirlenecektir.

4.2. Bulanık Mantık Tabanlı Gerilim Denetimi

Bu bölümde, Bulanık mantık tabanlı gerilim denetimi HERIC evirici için verilmiştir. PID ve KDPID denetim genellikle kolay yapısından dolayı kullanılır. HERIC eviricinin çıkış gerilimini sabitleyebilmek için PID denetleyici yerine Bulanık Mantık tabanlı bir denetleyici tasarlanmıştır. Önerilen Bulanık mantık denetleyicisi (BMD) MATLAB'ın Fuzzy Toolbox'ı yardımıyla tasarlanmıştır ve daha sonra gerilim kontrolü için artıran çeviriciye uygulanmıştır.

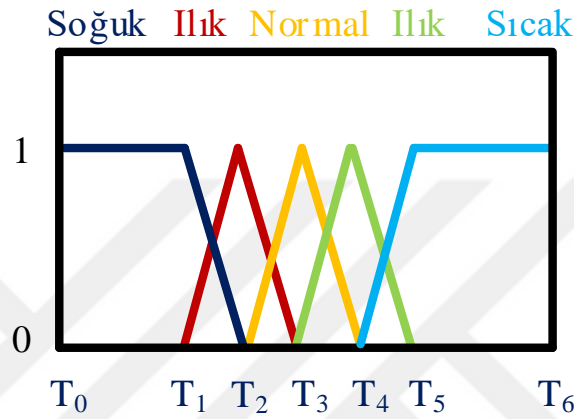
4.2.1. Bulanık Mantığa Giriş

Bulanıklık kelime anlamı olarak belirsizlik, anlamsızlık ve kesinsizlik olarak karşımıza çıkmaktadır. Bulanıklık terimi ilk olarak 1965 yılında Lotfi Zadeh tarafından literatüre kazandırılmıştır. İnsanlar önceden verileri işler ve zamanı geldiğinde bu verileri belirli bir sınıra göre doğru ya da yanlış olarak karar verirler, bu doğrular ve yanlışlar kişiler arasında farklılıklar gösterebilir yani bir bulanıklık söz konusu olmaktadır. Bu yüzden Bulanık mantık kesin bir doğru yanlıştan ziyade doğruluğun derecesi ya da yanlışlığın derecesi olarak sayısal bir yöntemdir. Bulanık mantık teorisi insan tecrübe ve deneyimlerini karmaşık, belirsiz ve problemin matematiksel olarak ifade edilemediği mühendislik sistemlerinde sistemin çıkışını gözlemleyerek girişini yönlendirme işidir Bulanık mantık olarak başlayan, düşünce karmaşık, lineer olmayan sistemlerin veya denetlenecek sistem matematiksel olarak modelize edilemiyorsa bu denetim yöntemi ideal olarak karşımıza çıkmaktadır.

Bulanık sistemler kural tabanlı veya bilgi tabanlı sistemlerdir. IF-THEN kuralları bulanık sistemin temelini oluşturan kural tabanını temsil eder. IF-THEN kuralları üyelik fonksiyonları tarafından temsil edilen ve değişken olarak kullanılan yapılardır. Bu yapılar dilsel yapılar olarak karşımıza çıkmaktadır. Bir bulanık sistem IF-THEN yapılarının

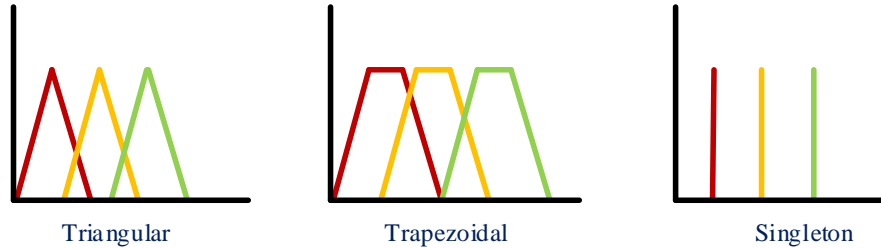
birleşiminden meydana gelmesinden dolayı bu çalışma altındaki sistem IF-THEN yapılarını oluşturan kişinin bilgisi ve tecrübesine bel bağlamaktadır. IF-THEN yapısına bir örnek verecek olursak “Eğer yolda çok trafik varsa, o zaman eve biraz gecikebilir” Bu cümlede kullanılan çok trafik olması ve biraz gecikme üyelik fonksiyonları olarak tanımlanır.

Bir üyelik fonksiyonu (ÜF) belirli bir takımdaki girişin 0 ile 1 arasındaki dereceleri belirleyen işlevdir. ÜF bulanıklaştırma ve durulaştırmanın önemli bir birimi olduğu için ÜF bulanık setler içinde kesin değerleri bölümlendirir.



Şekil. 4.4 Sıcaklık için üyelik fonksiyonu örneği

Üçgensel, trapezoidal, gaussian gibi bir çok üyelik fonksiyonu mevcuttur.



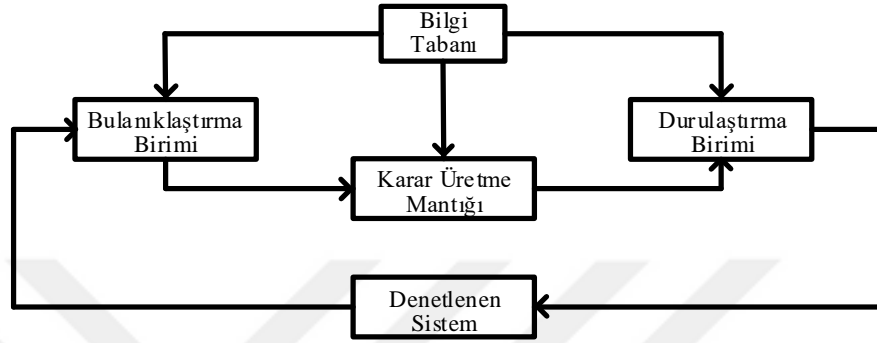
Şekil 4.5 Üyelik fonksiyonlarının farklı tipleri

IF-THEN yapısının farklı durumlarına göre saf bulanık mantık sistemi ve Takagi-Sugeno-Kank (TSK) bulanık mantık sistemi mevcuttur. Saf bulanık mantık sistemi IF-THEN yapısını oluşturan kural tablosu üyelik fonksiyonlarından oluşur. Örnek verecek olursak, Eğer giriş 15 derece ise öyleyse çıkışı yükselt mantığıyla çalışır.

Bulanık küme yaklaşımı en temelinde bir matematiksel yaklaşım olarak karşımıza çıkmaktadır. Çözülmesi zor olan problemlere nispi olarak modellemeyi uzaklaştırarak dilsel modellemelerle daha kolay sorunun çözülmesi amaçlanmaktadır. Bulanık yaklaşım kısmi üyeliklere izin vererek çözümü kolaylaştırmaktadır. Daha da açıklamaya çalışırsak bir kümenin üyeliğini o kümenin üyesi olmayan yakın kümeler arasında kısmi geçişlerle izin

verir. Çünkü bulanık küme mantığı, hem kendi kümesine hem de yan kümelere üye olmamaya izin verir. Bulanık mantık denetleyicisinde giriş (ler) ve çıkış (lar) değişkenleri ve sınırları doğru ayarlanması gerekmektedir. Bu bahsedilen alt kümelerin her birine dilsel isimler ve doğru aralıkların tanımlanması elzemdir.

Bulanık mantık denetleyici temelde dört kısımdan oluşur.



Şekil 4.6. Bulanık mantık denetim sistemi temel yapısı [38]

Bulanık mantık denetleyicisi dört ana temel bileşen içermektedir. Bunlar bulanıklaştırma birimi, bilgi tabanı, karar üretme mantığı ve durulaştırma birimidir. Bulanık mantık denetleyicisine ait blok diyagram şekil 4.6'de gösterilmiştir.

4.2.1.1. Bulanık Küme

Kesin matematik kümeleri, sıfır ile bir arasında keskin geçişlerin bulunduğu kümelerdir. Küme sınırları belirlidir ve kurallarında kesin olmayan bir belirsizlik bulunmamaktadır. Herhangi bir elemanın değeri sıfır ya da birdir. Klasik matematik kümelerinde bir elemandan diğerine geçiş aniden olurken bulanık kümelerde geçiş üyelik fonksiyonlarında belirlenen dereceli bir geçiştir. Örnek vericek olursak kesin bir kümede Elazığlı birine göre sıcaklık kavramı 50 derece sıcak iken, bulanık kümelerde gösterildiğinde bu küme 0.8 değeriyle ki bu değer denetleyiciyi tasarlayanın kanısına ya da bakış açısına göre olabirliğini gösterebilir, aynı zamanda 0.2 değeriyle de uygun sıcaklık olarak gösterilebilir.

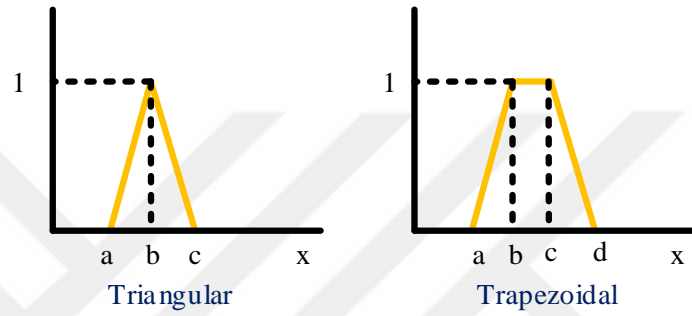
4.2.1.2. Üyelik Fonksiyonları

Dilsel değerlerden oluşan belli aralıklara yerleştirilmiş anlam gruplarıdır. Üyelik fonksiyonları genellikle üçgen, yamuk singleton olarak gösterilirler. Tasarlanan bulanık

denetleyici sistemlerinde bulanıklaştırma işlemleri denklem x,y ile gösterilen formüllerle gerçekleştirilirler. Şekil 4.7 en çok kullanılan üyelik fonksiyonunu gösterilmektedir.

$$\text{üçgen}(x; a, b, c) = \begin{cases} (x - a)/(b - a) & a \leq x < b \\ (c - x)/(c - b) & b \leq x < c \end{cases} \quad (1.11)$$

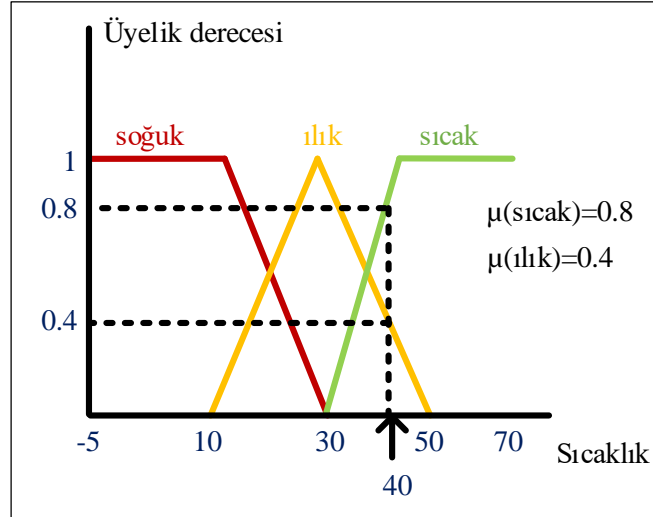
$$\text{yamuk}(x; a, b, c, d) = \begin{cases} (x - a)/(b - a) & a \leq x < b \\ 1 & b \leq x < c \\ (d - x)/(d - c) & c \leq x < d \end{cases} \quad (1.12)$$



Şekil 4.7 Üyelik fonksiyonu şekilleri

4.2.1.3. Bulanıklaştırma Birimi

Gerçek hayattaki fiziksel değişkenleri dilsel ifadelere dönüştüren birimdir. Bulanık mantık denetleyicisinin bulanıklaştırma birimi, fiziksel bir değeri bulanık bir ifadeye çevirir. Bu işlem kapsamında üyelik fonksiyonunda tanımlanan alan içerisindeki değere bu alan dışında ise sıfır değer alacaktır. Bulanıklaştırma birimi 50 dereceyi kesin küme kapsamında sıcak olarak kapsayacağı gibi bu değer 30 ile 80 derece(dilsel değişken örneği) sıcak olarak ifade edebiliriz. Şekil 4.8'de bulanıklaştırma işlemine ait bir örnek gösterilmiştir.



Şekil 4.8 Bulanıklaştırma işlemi

4.2.1.4. Bilgi Tabanı

Bilgi tabanı, uygulama bilgisini ve istenen kontrol hedef bilgilerini içermektedir. Bilgi tabanı, veri tabanı ve dilsel kontrol kural tabanına sahiptir. Bilgi tabanının kural tabanı birimi, giriş çıkış arasındaki bağıntıyı tanımlayan bir dizi bulanık kuralları içermektedir. Yani dilsel kuralların tanımlandığı birimdir. Yukarıda bahsedilen EĞER-O halde (IF-THEN) yapısının bahsedildiği birimdir. Eğer hava “çok” yağışlı ise o halde arabayı “çok yavaş” sür. EĞER hava “az” yağışlı ise o halde arabayı “az” yavaş sür örnekleri verilebilir.

Çıkarım biriminde ise IF-THEN yapısındaki kurallar dikkate alınarak sistemin çıktıları bulanık mantıkla gösterimi sağlanır.

4.2.1.5. Bulanık Çıkarım Birimi

Bulanık mantık denetleyicisi içerisinde karar mekanizması bulanık içerme, bileşke kural çıkarımları ve cümle bağlayıcılarıyla ilgilidir. Genel olarak bir bulanık denetim kuralı bir bulanık ilişkidir ve bulanık içerikle açıklanır. Bulanık mantıkta bulanık içermeyi tanımlamanın birçok yolu vardır ve bulanık mantık denetleyici içinde hangi yerin kullanılacağı daha çok sezgisel olarak belirlenir. Mamdaninin min(minimum kuralı), Larsenin ürün işlemi (çarpım kuralı), Zadehin aritmetik ürün(aritmetik kural) ve Boolean kuralı bulanık çıkarım kurallarının bazılarıdır. Bu içermeler sırasıyla aşağıdaki formüllerde

gösterilmiştir. Bu formüllerdeki A ve B sırasıyla V ve Y uzaylarında tanımlanmış olan bulanık kümeleri olan μ_A ve μ_B ise bu kümelerin üyelik işlevlerini gösterir.[39].

$$u = AXB = \int_{V \times Y}^+ \mu_A(u) \cap \mu_B(u) / (V, Y) \text{ minimum kuralı} \quad (1.13)$$

$$u = AXB = \int_{V \times Y}^+ \mu_A(u) \cdot \mu_B(u) / (V, Y) \text{ çarpım kuralı} \quad (1.14)$$

$$u = AXB = \int_{V \times Y}^+ 1 \cap (1 - \mu_A(u)) + \mu_B(u) / (V, Y) \text{ aritmetik kural} \quad (1.15)$$

$$u = AXB = \int_{V \times Y}^+ (1 - \mu_A(u)) \cup \mu_B(u) / (V, Y) \text{ boolean kuralı} \quad (1.16)$$

Bulanık mantık denetleyicisi çıkarım birimi için sıklıkla kullanılan dört yöntem bulunmaktadır. Bunlar Max-Dot, Min-Max, Tsukamoto ve Takagi-Sugeno'dur.

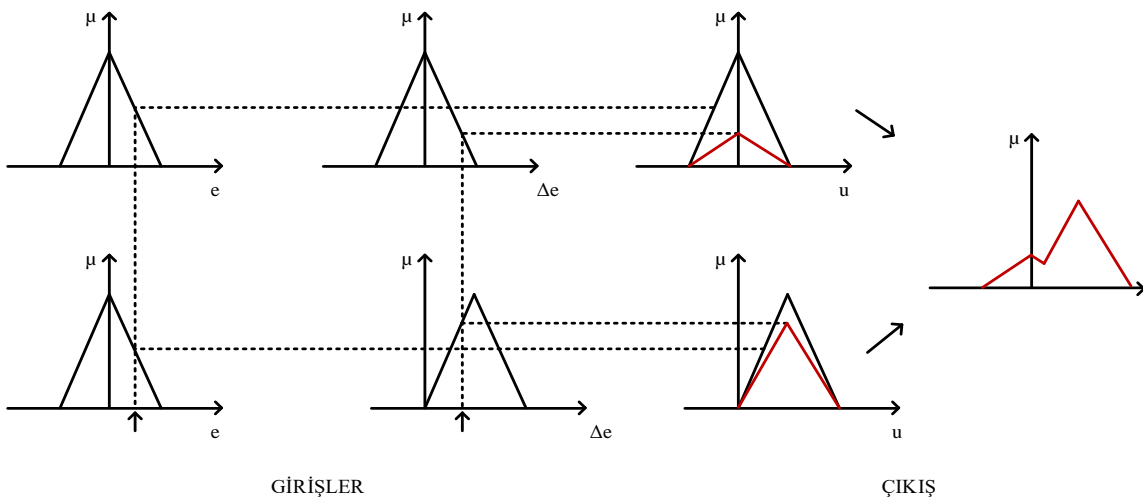
4.2.1.5.1. Max-Dot Yöntemi

Bu yöntem her bir giriş değeri, ait olduğu üyelik fonksiyonunu üyelik derecesine göre bağlı olduğu bulanık kümeyi yeniden şekillendirir. Çıkış değeri tüm girişler için yeniden şekillendirilmiş bulanık kümeler içinden yeniden bulunur. Max-Dot yöntemini daha iyi anlayabilmek için aşağıda verilen kuralları göz önüne alarak inceleyelim.

Eğer $e=S$ ve $\Delta e=P$ o halde $u=S$

Eğer $e=S$ ve $\Delta e=P$ o halde $=P$

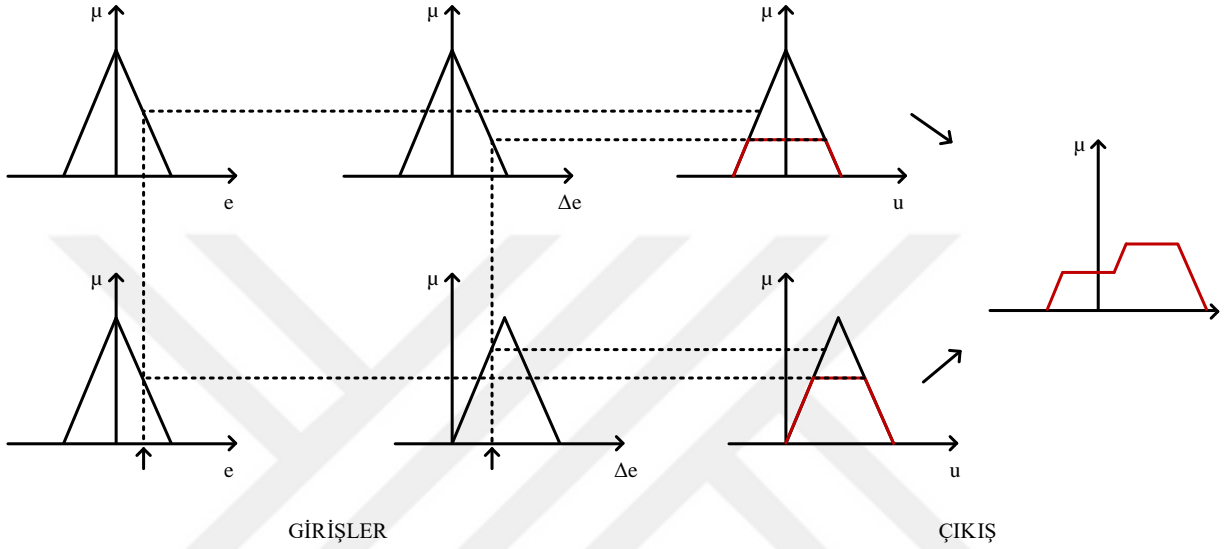
Max-Dot yöntemi kullanılarak bu iki kural için bulanıklaştırma işlemi aşağıdaki şekilde gibidir(Şekil 4.9)



Şekil.4.9 Max-Dot yöntemi

4.2.1.5.2. Min-Max Yöntemi

Bu yöntem her bir giriş değeri için ait olduğu üyelik fonksiyonunu, üyelik derecesine göre bağlı olduğu bulanık kümeyi üyelik değerinin üstündeki kısım atılır. Çıkışın sayısal değeri ise ağırlık ortalaması yöntemiyle elde edilir. Kural olarak Max-Dot yöntemindeki değerler alınmıştır. Çalışma prensibi aşağıdaki şekilde gibidir.



Şekil.4.10 Min-Max yöntemi

Bu kısımda bulanık çıkarım yöntemlerinden sıklıkla kullanılan iki tanesi olan Min-Max yöntemi ile Max-Dot yöntemi ayrıntılı bir şekilde anlatılmıştır.

4.2.1.6. Durulaştırma Birimi

Bulanık mantık denetleyicisine giren kesin değerler bulanıklaştırma kural tablosu ve bulanık çıkarım gibi işlemlerden geçtikten sonra bulanık küme elamanı haline gelir. Denetlenecek sistemin tepki verebilmesi için bulanık küme elamanı haline gelmiş değer, kesin sayısal sabit bir değer olması gerekmektedir. Bu işleme durulaştırma denir. Çok kullanılan durulaştırma yöntemi aşağıdakilerdir [40].

- Üyelik fonksiyonlarının en yüksek noktası
- Merkez yöntemi
- Üyelik fonksiyonlarının en düşük noktası
- Ağırlık ortalama yöntemi

- Toplamların ortası
- Geniş alan merkezi
- İlk veya son yükselti

Yukarıda şekillerle açıklanan Max-min yönteminde sıklıkla kullanılan durulaştırma yöntemi ağırlık ortalaması yöntemidir. Bu yöntemde, bulanık çıkarım sonucu elde edilen bulanık değerler ile üyelik değeri kullanılarak durulaştırma işlemi yapılır. Denetleyicinin çıkışı y_{ζ} olmak üzere bu yöntem aşağıdaki gibi uygulanır.

$$y_{\zeta} = \frac{\sum_{i=1}^N \mu_i(y_i)y_i}{\sum_{i=1}^N \mu_i(y_i)}, y \in Z \quad (1.17)$$

Yukarıdaki denklem Min-Max yöntemine göre düzenlenirse,

$$y_{\zeta} = \frac{\mu_S(y_S)y_S + \mu_P(y_P)y_P}{\mu_S(y_S) + \mu_P(y_P)} \quad (1.18)$$

Yukarıdaki ifadelerde i kural numarasını, N ise toplam kural sayısını göstermektedir.

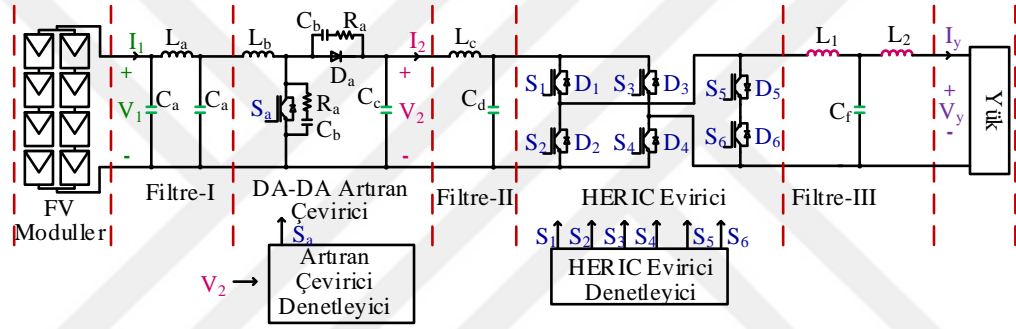
Bu yöntemlerden sistemi en iyi denetleyecek yöntem denetleyiciyi tasarlayan kişinin tecrübesi, bakış açısına göre ya da deneme yanılma yöntemiyle belirlenir.

5. YAPILAN ÇALIŞMALAR, SONUÇLAR VE İRDELEME

5.1. Giriş

Uygulama aşamasına geçilmeden önce, uygulanacak sistemin Matlab/SİMULİNK ortamında benzetimi yapılmıştır. Bu benzetim çalışması yapılan uygulama esnasında oluşacak sorunların kestirilmesine, ve sistemin davranışının tam olarak belirlenebilmesi gibi kolaylıklar sağlamıştır. Uygulamaya geçilmeden önce her bir birimin modelleri yapılarak benzetim çalışması yapılmıştır.

Geliştirilen sistemin blok şeması Şekil 5.1.'de verilmiştir.



Şekil 5.1 Benzetimi yapılan FV sistem

Benzetim çalışmasında FV paneller kullanılmıştır. FV panellerin çıkışı DA-DA artıran dönüştürücü sayesinde yüksek gerilime çıkartılmıştır. Denetleyici olarak PID, bulanık mantık ve KDPID kullanılmıştır. Giriş gerilimi istenilen referans değere çekilmiştir. Dönüştürücünün girişinde ve çıkışında LC filtreler istenmeyen işaretleri süzme amacıyla kullanılmıştır. HERIC evirici DA işareti AA işarete çevirmek amacıyla kullanılmıştır. LCL filtre alçak geçiren filtre olarak kullanılmış ve sinüs formatında işaret elde edilmiştir.

Benzetim çalışmaları Matlab/SİMULİNK üzerinden yapılmıştır.

5.2. DA-DA Artıran Çeviricinin Denetimi

Artıran çeviricinin en düzgün çıkış gerilimini kontrol eden denetleyiciyi belirlemek için bulanık mantık, PID ve KDPID denetim yapılmıştır.

DA-DA Dönüştürücünün denetiminin başarılı olma kriterleri aşağıdaki gibi sıralanabilir.

1. Geçici durumda referans aşımının uygun olması beklenir.

2. Geçici durumda oturma zamanının(settling time) az olması beklenir.
3. Kalıcı durumda hatanın az olması beklenir.
4. Çıkış işaretinde sıçramaların az olması beklenir.

Tasarlanan denetleyicilerde yukarıda belirtilen 4 şartın olabildiğince sağlanması için yukarıda belirtilen denetleyiciler sırasıyla kullanılmıştır.

5.2.1. DA-DA Artran Çeviricinin PID Denetimi

PID denetleyici tasarımının kolaylığı sebebiyle güç elektronik devrelerinde sıklıkla kullanılmaktadır. PI denetleyicinin matematiksel eşitliği aşağıdaki formüldeki gibidir

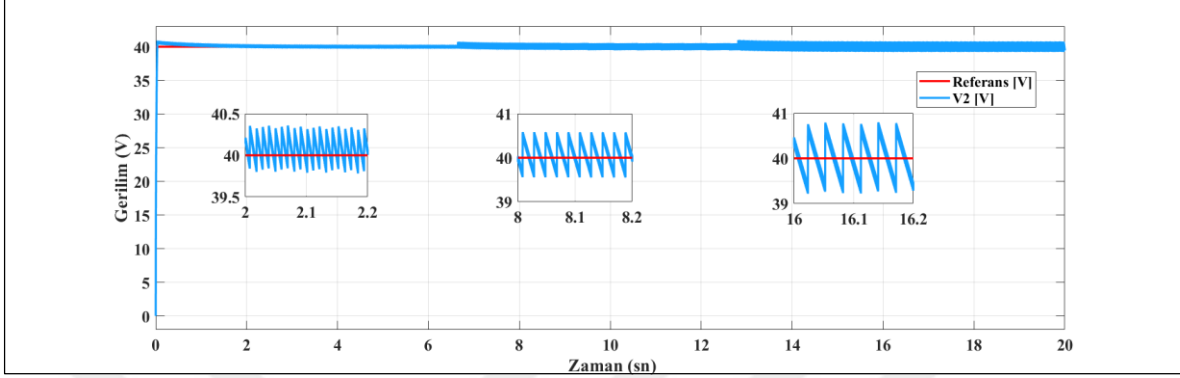
$$u(t) = K_p \cdot e(t) + K_i \cdot \int_0^t e(t) dt + K_d \frac{de(t)}{dt} \quad (1.19)$$

Yukarıdaki formülde $u(t)$ denetim çıkış sinyali, $e(t)$ hata sinyali, K_p , K_i ve K_d ise PID denetleyici katsayılarıdır.

PID denetleyicisinin katsayıları Ziegler-Nichols sezgisel katsayı ayarlama yöntemiyle belirlenmiştir. Bu yöntemde ilk olarak K_p 'ye sıfır değerinden başlanarak küçük adımlarla artırılır ve referans sinyal etrafında salınım yapması sağlanır. Sinyal referans etrafında salınım yapmaya başladığında K_i değeri sıfırdan başlanarak küçük adımlarla artırılır ve referansa oturması sağlanır. Son olarak ise K_d değeri de benzer işlemlerde geçirilir referansa tam oturması sağlanır. Bu yaklaşımla K_p , K_i ve K_d değerleri sırasıyla 0.0185, 0.01, 0.001 olarak bulunmuştur.

Benzetimi yapılan artıran çeviricinin çıkış gerilimi şebekeden bağımsız HERIC eviricisinin girişini oluşturmaktadır. HERIC eviricinin giriş geriliminin denetlenmesi üzerine olmaktadır. Geliştirilen benzetim çalışması şekil 5.2 deki gibidir. Benzetim çalışmasının çıktıları şekil 5.3'deki gibidir.

Işınım ve sıcaklıktaki bu değişme FV panelin ürettiği DA gerilimi artırıp ya da azaltacaktır. Bu artırıp azalma DA-DA artıran çeviricinin çıkışında değişimlere sebebiyet vereceği için PID denetleyici ile denetlenmiştir. Çıkış gerilimi aşağıdaki şekil 5.5.'te gösterilmiştir.



Şekil.5.5 Işınım ve sıcaklık değişimi durumunda PID denetimli artıran çeviricinin referans gerilimi takip etmesi

Şekil 5.5'teki grafik, çıkış geriliminin referans gerilime oturması 1 saniye kadardır. İlk 7 saniyede gerilim gerilim sığırması 0.5 Volt kadardır, 7 ve 13 saniyeleri arasında ışınım göre giriş gerilimi yükselmiştir ancak çıkış gerilimi referans gerilimini takip etmiştir. İlk 7 saniyeye göre sığırma daha da artmıştır ve 1 Volta yükselmiştir. Son 7 saniyede ise ışınım değeri düşmüş sıcaklık değeri yükseltilmiştir bu değişikliğe artıran çevirici kısa sürede tepki vermiş ve referans gerilimi takip etmiştir. Son 7 saniyede sığırma miktarı 1.5 Volt olmuştur. Her değişiklik durumuna denetleyici hızlı cevap vermiştir.

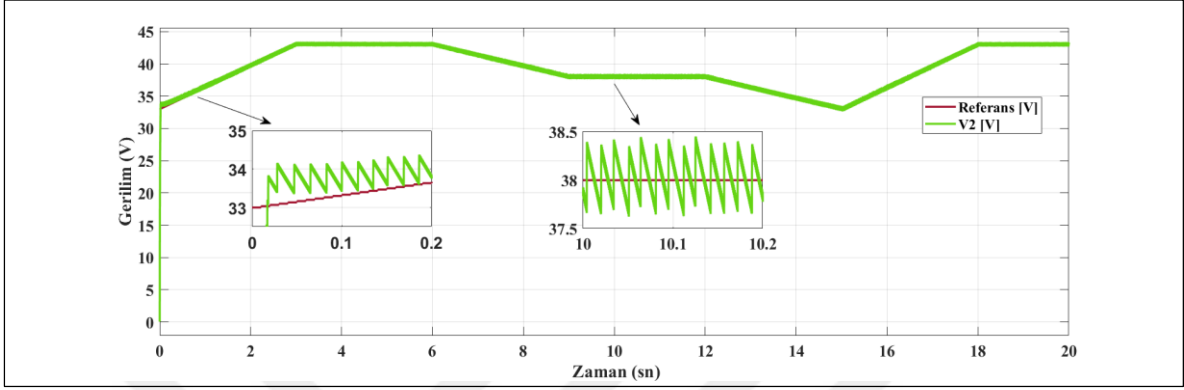
5.2.2. DA-DA Artıran Çeviricinin Kesir Dereceli PID Denetimi

Kesir dereceli PID denetim (KDPID), PID denetleyiciye türevsel kazanç ve integral kazanca ilave iki ek parametre içermektedir. Bunlar integral kazanç katsayısı ve türev kazanç katsayısı olan λ ve μ 'dır. İlk olarak 1'den farklı olarak λ bir değer belirlenir ve daha sonra K_p değeri 0'dan başlanarak küçük adımlarla artırılmıştır. Referans işaret etrafında osilasyon yapana kadar artırma işlemi devam etmiştir. Daha sonra K_i değerine benzer işlemler yapılarak 0 dan başlanmış küçük adımlarla artırılmıştır. Referans gerilime oturtulması sağlanmıştır. K_i işleminden sonra referans gerilime eğer oturmasaydı türev kazanç katsayısı belirlenerek benzer işlemler K_d için yapılacaktır.

KDPID denetime ait matematiksel formül aşağıdaki gibidir.

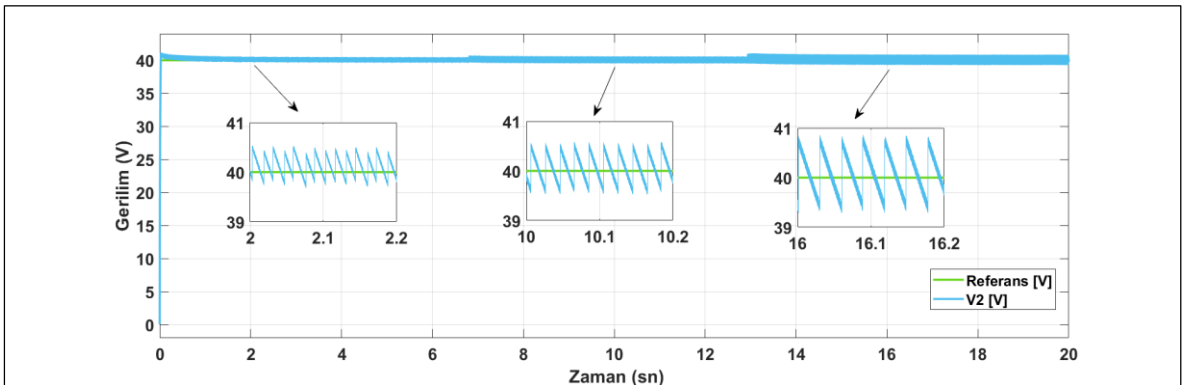
$$u(t) = K_p * e(t) + K_I \frac{d^{-\lambda} * e(t)}{dt^{-\lambda}} + K_D \frac{d^{\mu} * e(t)}{dt^{\mu}} \quad (1.20)$$

Yukarıda bahsedilen yaklaşımlar $\lambda = 0.8$ değeri için K_p 0.01 ve K_i ise 0.01 elde edilmiştir. Çıkış geriliminin referans gerilim takip etmesi şekil 5.6.'daki gibidir.



Şekil 5.6 DA-DA Artıran çeviricinin KDPID denetimli çıkış geriliminin referans gerilimi takip etmesi

Bu grafikte görüldüğü gibi çıkış gerilimi referans gerilimi takip etmektedir. Referansa oturma süresi 0.02 saniye olarak gözükmemektedir. Sürekli durumda gerilim sıçrama miktarı 0.8 volt görülmektedir. PID denetimde yapıldığı gibi FV panellerin ışınım ve sıcaklık değerleri aynı şekilde değiştirilmiştir. DA-DA artıran çeviricinin çıkış gerilimi KDPID ile denetlenmiştir. Benzetim çalışmaları Şekil 5.7'de gösterilmiştir. Işınım ve sıcaklık değişimi PI denetleyiciyle doğru bir şekilde karşılaştırabilmek için aynı değerler kullanılmıştır. Işınım ve sıcaklık değişim grafiği Şekil 5.4 deki gibidir.



Şekil 5.7 Işınım ve sıcaklık değişimi durumunda KDPID denetimli artıran çeviricinin referans gerilimi takip etmesi

Yukarıdaki grafikte, çıkış geriliminin referans gerilime oturması 0.5 saniye kadardır. İlk 7 saniyede gerilim gerilim sıçraması 0.4 volt kadardır, 7 ve 13 saniyeleri arasında ışınım

göre giriş gerilimi yükselmiştir, ancak çıkış gerilimi referans gerilimini takip etmiştir. İlk 7 saniyeye göre sıçrama daha da artmıştır ve 0.8 volta yükselmiştir. Son 7 saniyede ise ışınım değeri düşmüş sıcaklık değeri yükseltilmiştir bu değişikliğe artıran çevirici kısa sürede tepki vermiş ve referans gerilimi takip etmiştir. Son 7 saniyede sıçrama miktarı 1.3 volt olmuştur. Her değişiklik durumuna denetleyici hızlı cevap vermiştir.

5.2.3. DA-DA Artıran Çeviricinin Bulanık Mantık Denetimi

Bulanık mantık denetim, denetleyiciyi tasarlayanın denetlenecek sistemle ilgili uzman görüşlerine dayalı bir denetim algoritmasıdır. Özellikle matematiksel modelin elde edilemediği güç elektroniği devrelerinin denetiminde başarılı sonuçlar vermiştir.

DA-DA dönüştürücünün çıkış gerilim denetimi, çıkış gerilimi referans alınarak denetlenmiştir. $(e(k))$ hata ve $(de(k))$ hatanın değişimi BMD denetleyicisinin giriş bilgileridir. Aşağıdaki denklemlerde hata ve hatanın değişimine ait matematiksel denklemler verilmiştir.

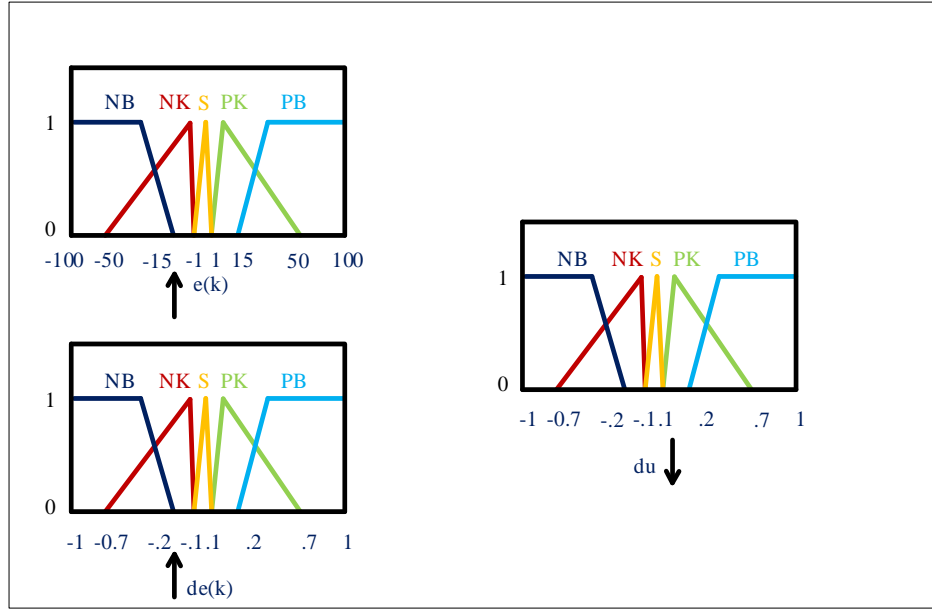
$$e(k) = V_{ref} - V_o(k) \quad (1.21)$$

$$de(k) = e(k) - e(k - 1) \quad (1.22)$$

Yukarıdaki denklemlerde V_{ref} DA-DA dönüştürücünün çıkışında istenilen referans değeridir. $V_o(k)$ ise anlık çıkış gerilimidir. $(de(k))$ hatanın değişimi ise anlık hatanın bir önceki hatanın çıkarımıyla elde edilmektedir.

Bulanık mantık denetleyicisinin çıkışı ise du işaretidir. du işareti DA-DA dönüştürücünün anahtarının doluluk boşluk oranını belirleyerek dönüştürücüyü denetlemektedir.

BMD bulanıklaştırma birimi için beş adet üçgen üyelik fonksiyonu seçilmiştir. Bu girişler ve çıkış için hata $(e(k))$, hatanın değişimi $(de(k))$ ve du Negatif Büyük(NB), Negatif Küçük(NK), Sıfır(S), Pozitif Küçük(PK) ve Pozitif Büyük (PB) olarak belirlenmiştir. Girişler ve çıkışlar için seçilen üyelik fonksiyonları şekil 5.8’de gösterilmiştir.



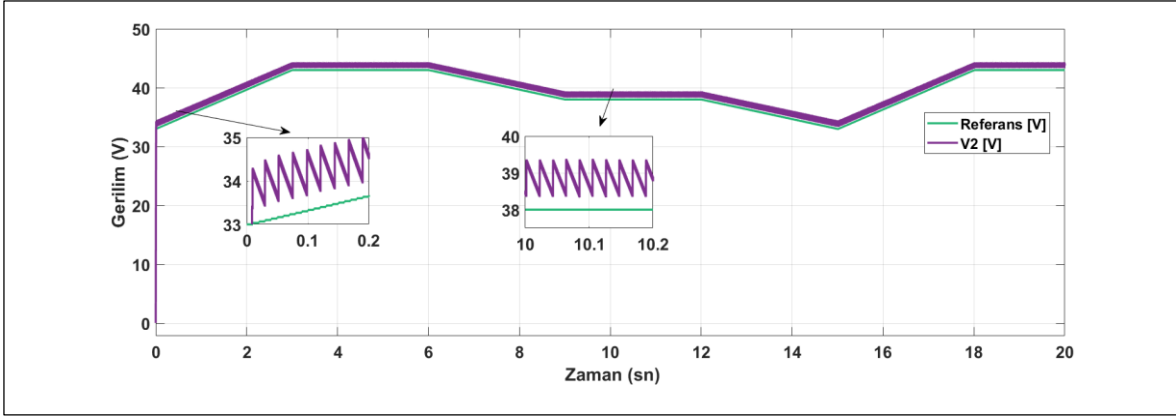
Şekil 5.8 Bulanık mantık giriş ve çıkış için üyelik fonksiyonları

Çıkış için gerçekleştirilen kural tabanı (rule base) tablo 5.1'de verilmiştir. Çıkarım yöntemi olarak MAX-MIN seçilmiştir. Durulaştırma birimi olarak ise ağırlık merkezi yöntemi seçilmiştir.

Tablo 5.1 Kural tabanı

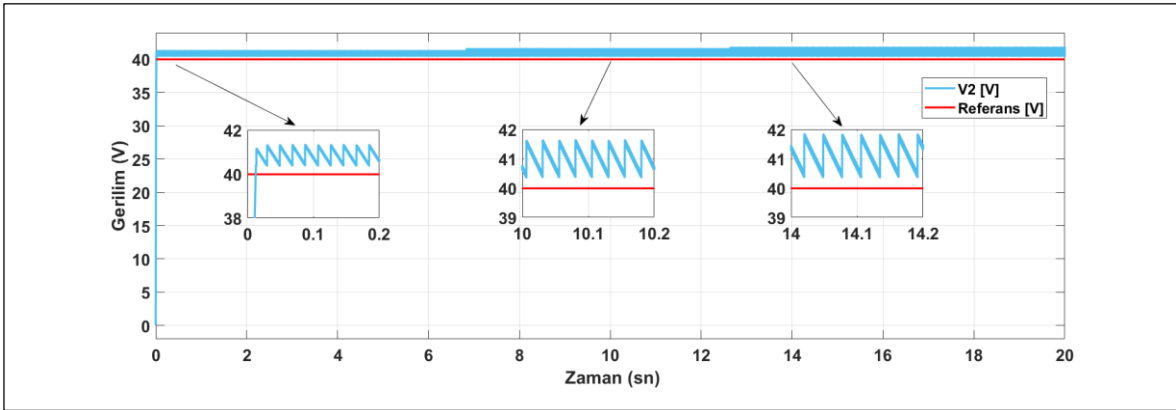
		de(k)				
		NB	NK	S	PK	PB
e(k)	NB	NB	NB	NK	NK	S
	NS	NB	NS	NS	S	PK
	ZZ	NS	NS	S	PK	PK
	PS	NS	S	PS	S	NK
	PB	S	PK	PK	PB	PB

Yapılan benzetim çalışmasında Matlab/Simulink toolboxında bulunan Fuzzy Logic toolboxı kullanılmıştır. DA-DA dönüştürücünün çıkış geriliminin referans gerilimi takip etmesi şekil 5.8'de gösterilmiştir.



Şekil 5.9 DA-DA Artıran çeviricinin bulanık mantık denetimli çıkış geriliminin referans gerilimi takip etmesi

DA-DA dönüştürücünün BMD ile denetlenmesi grafiği analiz edildiğinde, sürekli durumda referans gerilimini 1 voltluk bir aşım ile takip etmektedir. Sürekli durumda 0.4 voltluk bir sıçrama yapmaktadır, bu da kabul edilebilir bir değerdir. PID ve KDPID denetimde yapıldığı gibi FV panellerin ışınım ve sıcaklık miktarları değiştirilmiştir. DA-DA artıran çeviricinin çıkış gerilimi BMD ile denetlenmiştir. Benzetim çalışmaları Şekil 5.10'da gösterilmiştir. Işınım ve sıcaklık değişimi PID denetleyiciyle daha iyi karşılaştırabilmek için aynı değerler kullanılmıştır. Işınım ve sıcaklık değişim grafiği Şekil 5.4 deki gibidir.



Şekil 5.10 Işınım ve sıcaklık değişimi durumunda bulanık mantık denetimli artıran çeviricinin referans gerilimini takip etmesi

Yukarıdaki grafikte, çıkış gerilimi referans gerilimini 1 voltluk bir hatayla takip etmektedir. 0-7 saniyeleri arasında giriş gerilimi düşük 7-13 saniyelerine göre düşük değerdedir. Işınım ve sıcaklığa göre giriş gerilimi artınca çıkış işaretinde dalgalanma(sıçrama) miktarı artmaktadır. Bu sıçramalar 0-7 saniyeleri arasında 0.8 volt, 7-13 saniye arasında 1 volt ve son 7 saniye ise 1.7 volt kadar olmaktadır.

5.2.4. DA-DA Artıran Çeviricinin Denetim Yöntemlerinin Karşılaştırılması

DA-DA artıran çeviricinin denetimi PI, KDPID ve BMD denetleyici ile yapılmıştır. Elde edilen denetleyici performanslar (oturma zamanı, aşım miktarı, sürekli durum hata bilgisi ve sıçrama miktarı) aşağıda tablo 5.2’de verilmiştir.

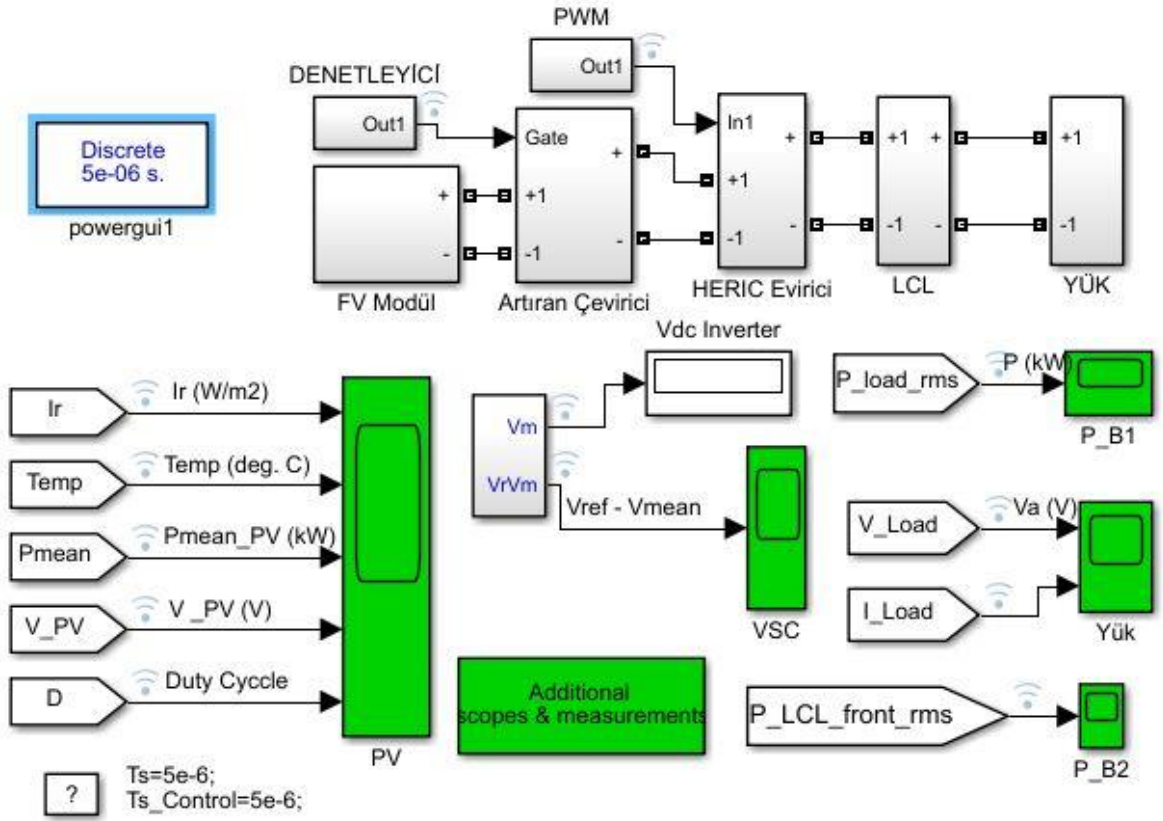
Tablo 5.2 DA-DA artıran çeviricinin performans sonuçları

Denetleyici Türü	Oturma Zamanı (sn)	Aşım Miktarı (V)	Sıçrama Miktarı (V)	Sürekli Durum Hatası (V)
PID	2.5	0.2	0.4	0
KDPID	0.02	0.4	0.8	0
Bulanık Mantık	0.01	0.2	0.4	1

Sonuçlar karşılaştırıldığında oturma zamanı olarak en iyi tepkiyi Bulanık Mantık denetleyicisi vermiştir. Aşım miktarı olarak ise PID ve Bulanık Mantık denetleyicisi vermiştir. Bulanık mantık denetleyicisi sürekli durumda 1 Voltluk hata ile diğer denetleyicilere göre kötü bir performans göstermiştir.

5.3. Şebekeden Bağımsız DA-DA Artıran Çeviricili HERIC Eviricili FV Sistem Tasarımı

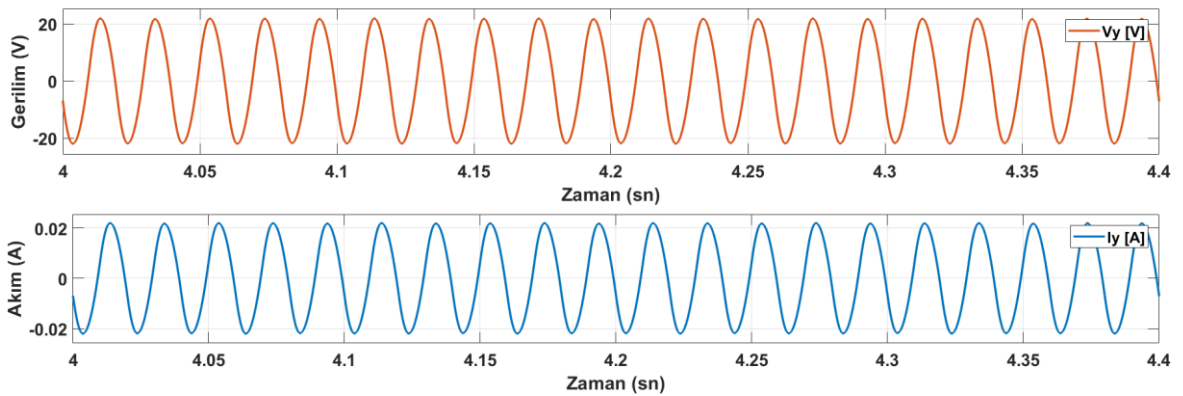
Tezin bu kısmında, FV panel beslemeli DA-DA artıran çeviricili transformatörsüz HERIC eviricinin tasarım, benzetim ve denetim çalışmaları yapılmıştır. FV panellerin ışınım ve sıcaklık değerleri sabit tutulmuştur. Işınım değeri olarak 1000 W/m^2 sıcaklık değeri olarak ise 25 C° alınmıştır. DA-DA artıran çeviricinin denetimi yapılarak HERIC eviricili sistem tasarımı yapılmıştır. DA-DA artıran çeviricinin denetimleri sırasıyla PID, KDPID ve BM denetleyicileriyle yapılmıştır. Evirici çıkış gerilimi, akım dalga şekilleri ve toplam harmonik bozunumları verilmiştir. Daha sonra her bir denetleyici için bu değerler karşılaştırılmıştır. Sistemin Matlab/Simulink modeli Şekil 5.11’de verilmiştir.



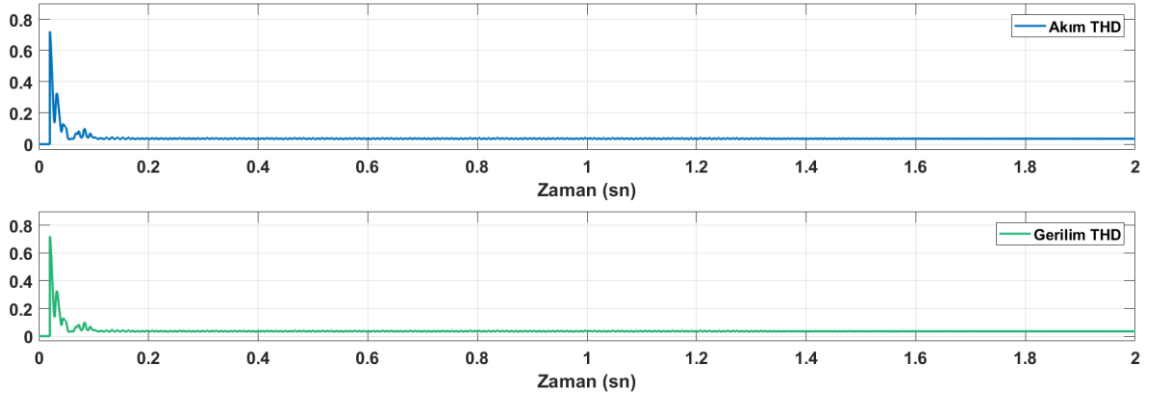
Şekil 5.11 Şebekeden bağımsız HERIC eviricili sistem benzetimi

5.3.1. PI Denetimli FV Sistem Tasarımı

DA-DA artıran çeviricinin denetimi PID ile yapılmıştır. HERIC evirici denetimsiz olarak sadece PWM işaretleriyle sürülmüştür. Evirici çıkışı LCL filtre kullanılmıştır. FV panellerden elde edilen gerilim 20 Volt mertebesinde olmaktadır. Çıkış gerilimi 40 Volta sabitlenmiştir. FV sisteme ait gerilim, akım ve THD grafikleri aşağıdaki şekillerde verilmiştir.



Şekil 5.12 Yüke aktarılan gerilim ve akım şekilleri

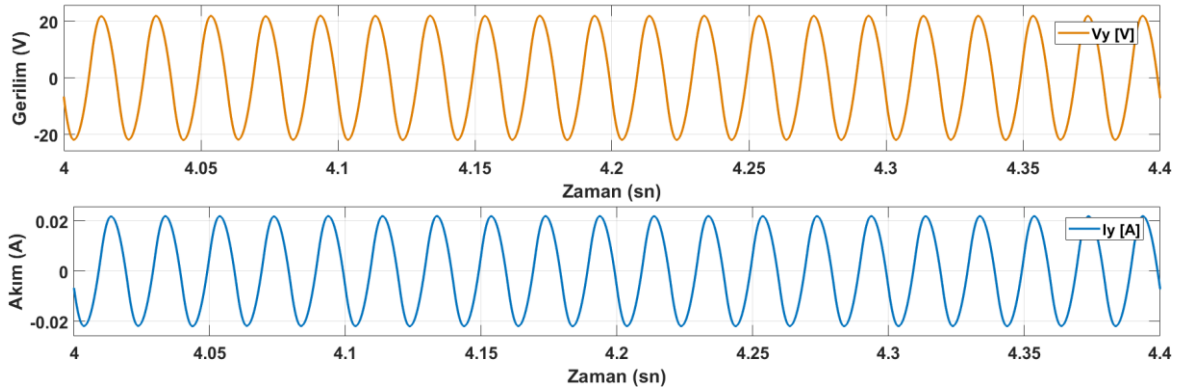


Şekil 5.13 Akım ve gerilim harmonik bozunumları

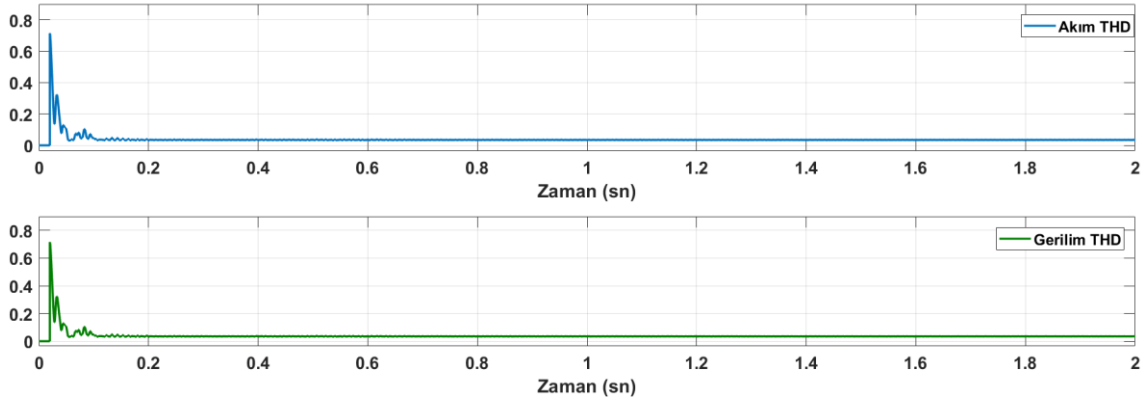
Şekil 5.12’de yüke aktarılan gerilim ve akım şekilleri gösterilmiştir. Şekil 5.13’te ise akım ve gerilim THD bozunumları gösterilmiştir. THD bozunumu en büyük değeri 0.75 kadardır ve standartlara uygun değerdedir.

5.3.2. KDPID Denetimli FV Sistem Tasarımı

DA-DA artıran çeviricinin denetimi PID denetleyiciyle yapılmıştır. FV panellerden elde edilen gerilim 20 Volt mertebesinde olmaktadır. Çıkış gerilimi 40 Volta sabitlenmiştir. FV sisteme ait gerilim, akım ve THD grafikleri aşağıdaki şekillerde verilmiştir.



Şekil 5.14 Yüke aktarılan gerilim ve akım şekilleri

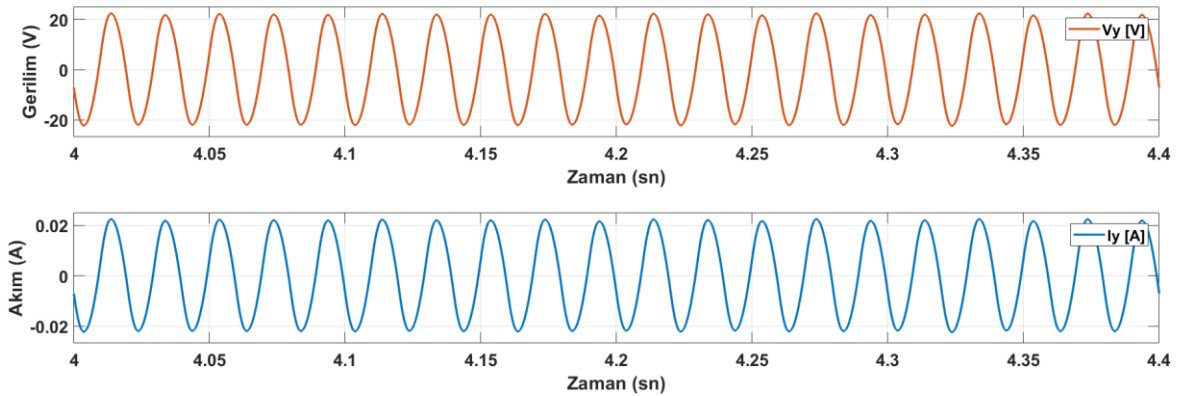


Şekil 5.15 Akım ve gerilim harmonik bozunumları

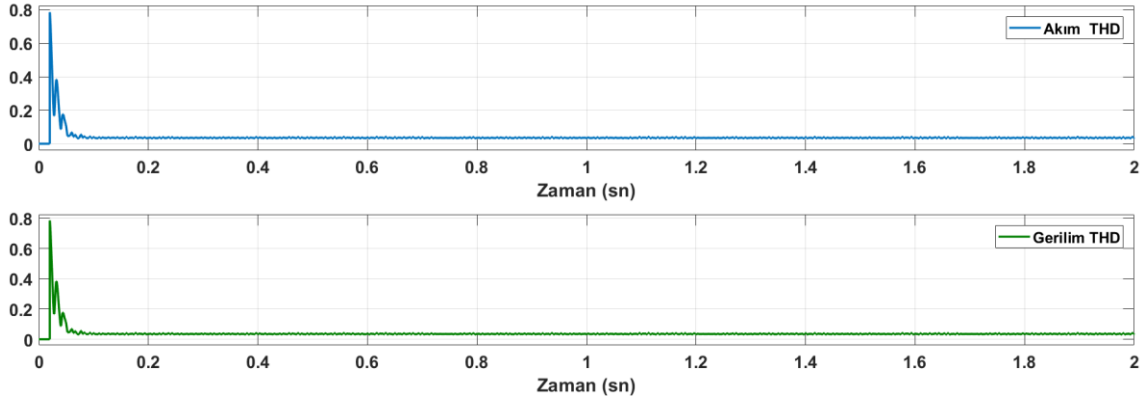
Şekil 5.14'te yüke aktarılan gerilim ve akım şekilleri gösterilmiştir. Şekil 5.15'te ise akım ve gerilim THD bozunumları gösterilmiştir. THD bozunumu en büyük değeri 0.72 kadardır ve standartlara uygun değerdedir.

5.3.3. Bulanık Mantık Denetimli FV Sistem Tasarımı

DA-DA artırıcı çeviricinin denetimi Bulanık Mantık denetleyici ile yapılmıştır. FV panellerden elde edilen gerilim 20 volt mertebesinde olmaktadır. Çıkış gerilimi 40 volta sabitlenmiştir. FV sisteme ait gerilim, akım ve THD grafikleri aşağıdaki şekillerde verilmiştir. Üyelik fonksiyonu olarak DA-DA artırıcı çeviriciyle aynı üyelik fonksiyonu kullanılmıştır (Şekil 5.8). Çıkarım yöntemi olarak MAX-MIN seçilmiştir. Durulaştıma birimi olarak ise ağırlık merkezi yöntemi seçilmiştir. Kural tablosu için tablo 1 seçilmiştir.



Şekil 5.16 Yüke aktarılan gerilim ve akım şekilleri



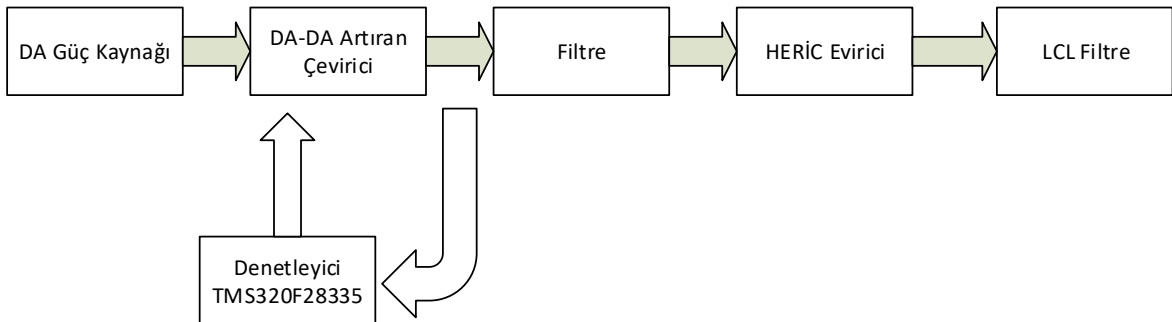
Şekil 5.17 Akım ve gerilim harmonik bozunumları

Şekil 5.16’da Bulanık mantık denetleyicili FV sistemin yüke aktarılan gerilim akım grafiklerini görülmektedir. İkinci grafik ise akım ve gerilim THD bozunumlarını göstermektedir. THD bozunumun en büyük değeri 0.79 değerindedir. Standarlara uygun değerdedir.

Toplam harmonik bozunumu olarak PID denetleyici ile KDPID denetleyici benzer sonuçlar vermesine rağmen BM denetleyicisi en büyük bozunum değeri olarak daha iyi bir sonuç vermiştir. Genel bir değerlendirme yapıldığında BMD daha iyi sonuç vermiştir.

5.4. Deneysel Çalışmalar

Deney düzeneği güç elektroniği devresi ile veri iletişimini sağlayan TMS320F28335 sayısal işaret işleyici, sürücü kartı ve gerilim okuma devresinden oluşmaktadır. Aşağıdaki şekil 5.18’de deney setine ait blok diyagramı verilmiştir. FV paneller yerine DA güç kaynağı kullanılmıştır.



Şekil. 5.18 Yapılan çalışmanın blok diyagramı

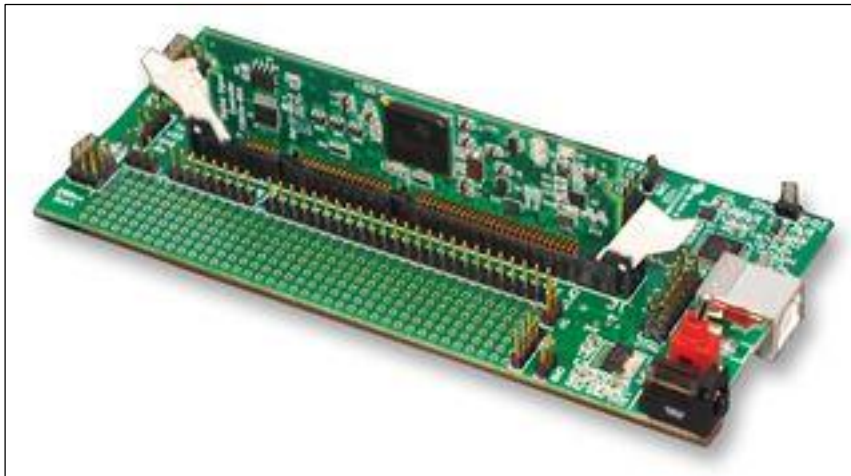
5.4.1. Sistem Bileşenleri

Tasarlanan transformatörsüz FV sistemin bileşenleri DA güç kaynağı, DA-DA artıran çevirici, HERIC evirici ve sürücüsü, LCL filtre, gerilim okuma devresi ve TMS320F28335 sayısal işaret işleyicidir. Sistem bileşenleri olarak sayısal işaret işleyici, gerilim okuma devresi ve LCL filtre tasarımı anlatılmıştır.

5.4.1.1. TMS320F28335 Sayısal İşaret İşleyici

Texas Instrument firmasının C2000 ailesinden olan mikrodenetleyici robotik, endüstriyel otomasyon, güç kaynakları gibi kontrol uygulamalarında sıklıkla kullanılan bir mikrodenetleyicidir. Sayısal sinyal işleyici (SSİ) yapılan çalışmada güç elektroniği devre elemanlarının PWM işaretlerini üretmekte ve doluluk boşluk oranını kontrol etmektedir.

Texas Instrument firması tarafından deneysel çalışmalar için geliştirilmiş olan TMS320DOCKF28335 kartı bilgisayarın USB girişinden ve Matlab/SIMULINK arayüz yazılımından doğrudan external mode üzerinden eşzamanlı olarak programlanabilmektedir. Bu kitin 150 MHz gibi çalışma hızının yüksekliği yapılan çalışmalarda hız problemini aşmasına rağmen, ADC kanallarının giriş empedansının düşük olması ve ADC girişlerine en fazla 3.3 volt uygulanabilmesi çeşitli zorlukları beraberinde getirmektedir. SSİ'nin zorlu ve karmaşık yapısı öğrenilmesini ve uygulanması oldukça zorlaştırmaktadır. Floating point özelliği, 68 Kb RAM kapasitesine sahip olması, 12 adet ADC birimi bulunması ve ayarlanabilir PWM çıkışlarının bulunması eş zamanlı uygulamalar için uygun bir denetleyicidir. İşlemcinin genel görünümü Şekil 5.19 deki gibidir.



Şekil 5.19 TMS320DOCKF28335 SSİ genel görüntüsü

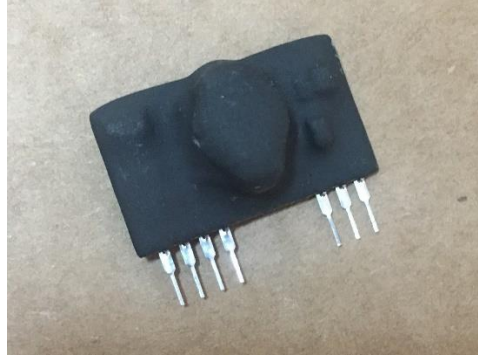
5.4.1.2. DOCKF28335 Matlab/Simulink ile Programlanması

Matlab/Simulink, kontrol algoritmalarının bloklar halinde barındıran içerisinde PID, KDPID ve bulanık mantık denetleyicileri ve sonradan eklenen C2000 hazır blokları bulunduran yazılım programıdır. Sonradan eklenen C2000 eklentisi sayesinde, matematiksel bloklar, PWM, ADC, QEP birimleri hazır blok olarak bulunmaktadır. Bu bloklar Simulink'in sunduğu external mode özelliği sayesinde eş zamanlı olarak herhangi bir yazılım yazmadan blokları assembly koda dönüştürerek SSİ içerisine aktarmaktadır. Bu özelliği sayesinde ADC'den gelen veri eş zamanlı olarak görülmekte PID katsayıları değiştirilebilmektedir. Sonuç olarak zaman tasarrufu sağlamak ve kodlama işlemine gerek duyulmamasına rağmen, bloklar fazla kullanılırsa işlemcinin kapasitesi düşmekte ve işlemciyi kasarak hızını düşürmektedir. Yaptığımız çalışmada blok yoğunluğu fazla olmamasından ötürü hız düşümü yaşanmamıştır.

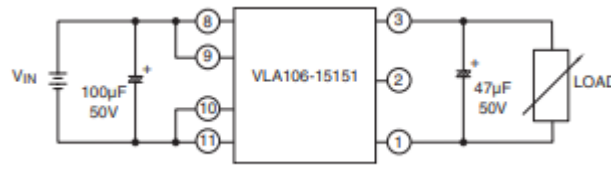
5.4.2. HERIC Eviricinin Sürücü Düzeneginin Hazırlanması

Denetleyici kart ile güç devresinin başarılı sürülebilmesi için sürücü karta ihtiyaç duyulmaktadır. Güç devresinde herhangi bir hata durumunda ters akım veya gerilim yükselmesi durumunda denetleyiciye zarar vermemesi için yalıtım devresi oluşturulması gerekmektedir. Yalıtım devresi ve IGBT sürücü olarak TLP250 izoleli optik IGBT sürücüler kullanılmıştır.

Her bir anahtar izoleli DA-DA çevirici entegresi sayesinde birbirinden yalıtılmıştır. Bu sayede High side anahtarların sürülmesi sağlanmıştır. İzoleli DA-DA dönüştürücü olarak PWRX firmasının VLA106-15151 entegresi kullanılmıştır. Bu entegre girişine uygulanan 12-18 voltu çıkışında izole ederek 15 volt değeri vermektedir. Entegrenin resmi ve blok diyagramı sırasıyla Şekil 5.20 ve Şekil 5.21'de verilmiştir.

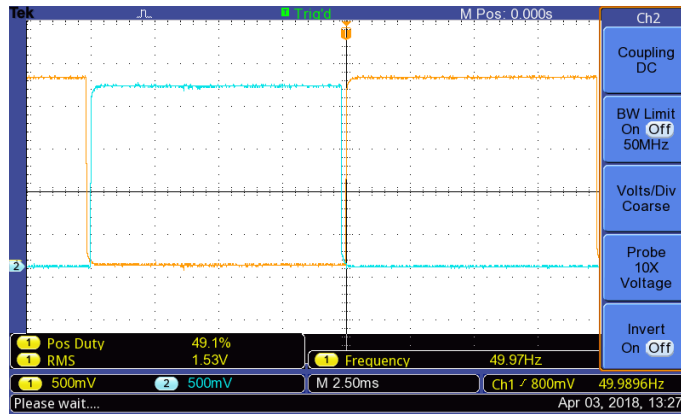


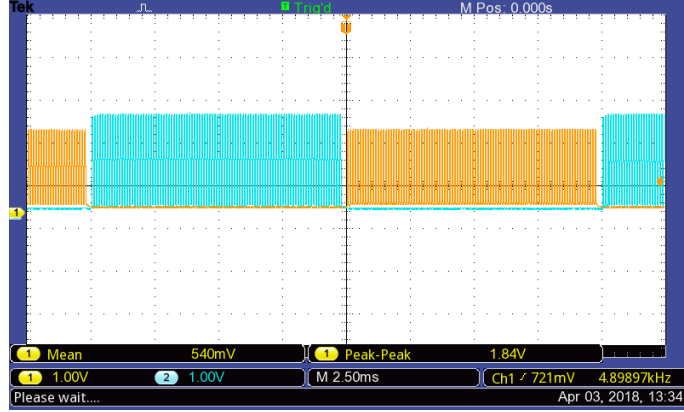
Şekil 5.20 VLA106-15151 Genel görünümü



Şekil 5.21 VLA106-15151 Devre şeması

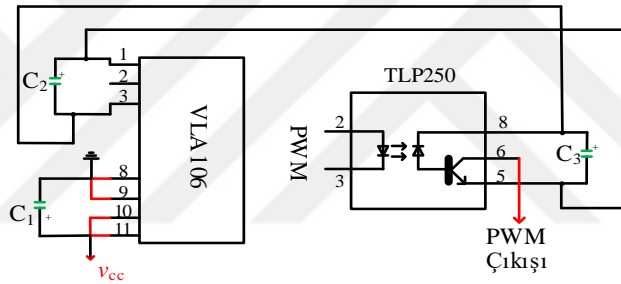
Bilindiği gibi HERIC eviricinin her bir bacağında seri şekilde bağlı olan S_1 , S_2 ve S_3 , S_4 ile S_5 , S_6 anahtarları açıp kapama süreleri birbiriyle kesiştiği için Simulink yazılımı üzerinden ölü zaman eklenmiştir. Ölü zaman eklenmediği zaman aynı bacaktaki seri anahtarlar birinin açıp diğerinin kapama süreleri kesişecektir. Buda anlık kısa devreler oluşmasına sebebiyet verecektir. Bu kısa devreyi engellemek için $200\mu s$ 'lik bir ölü zaman eklenmiştir. Anahtarlara ait ölü zaman durumlarını gösteren osiloskop çıktıları Şekil 5.22-23'te gösterilmiştir.

Şekil 5.22 S_5 ve S_6 arasındaki ölü zaman



Şekil 5.23 H köprü tarafındaki anahtarların ölü zaman eklenmiş hali

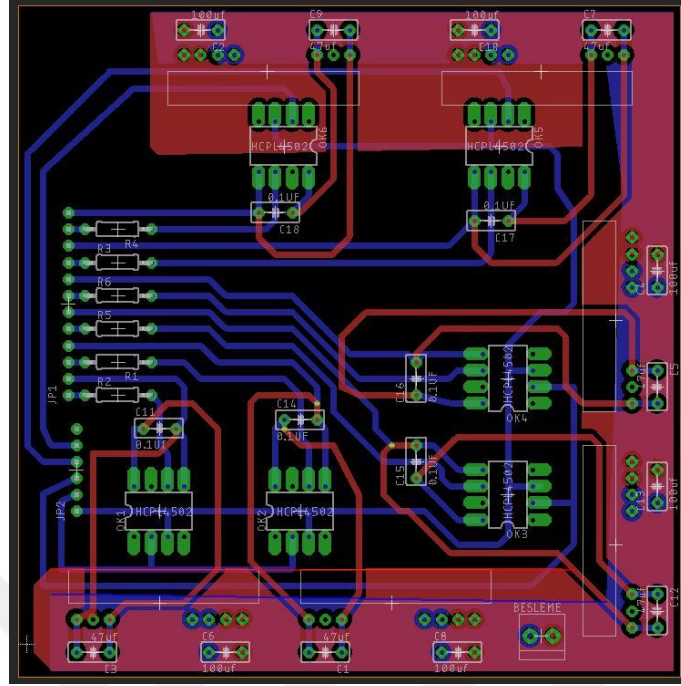
Ölü zaman eklendikten sonra her bir anahtarın sürülmesi için VLA izoleli DA-DA dönüştürücü kullanılmıştır. Her bir VLA entegresi TLP250 optik entegreleri beslemiştir. Herhangi bir anahtarın sürme devre şeması Şekil 5.24’de gösterilmiştir.



Şekil 5.24 Bir anahtara ait sürücü devre şeması

Burada C_1 , C_2 ve C_3 kapasite değeri sırasıyla 100, 47 ve $0.1\mu\text{F}$ olarak verilmektedir. TLP250 optik sürücüsü 2 ve 3 nolu bacaklarına uygulanan PWM işaretlerini çıkışına besleme işareti kadar yükselterek ve 1.5 Amperlik akımla kuvvetlendirilmiş PWM işareti olarak çıkışına aktarır.

6 Anahtara ait sürücü devrenin baskı devre çalışması aşağıda resimde gösterilmiştir (Şekil 5.24.). Besleme kaynağından alınan 12 Volt her bir VLA entegresini beslemiştir. Her bir VLA entegresi ise TLP250 optik sürücünü besleyerek, sürücüyü ana beslemeden izole etmiştir. Her bir sürücüde optik entegre devre kullanılması denetleyiciyi de koruma altına alınmıştır.

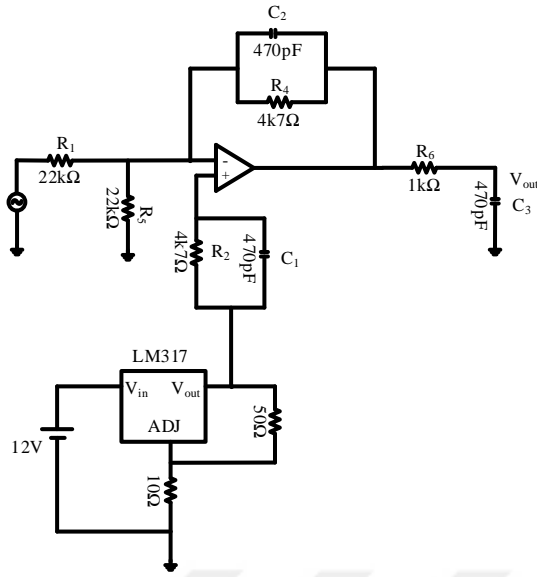


Şekil 5.25 Sürücü devre PCB devre çalışması

10 Ohmluk her bir direnç üzerinden HERIC eviricinin PWM işaretleri alınmıştır. VLA entegresi sayesinde yalıtılmış işaretlerin her bir anahtarı rahatlıkla sürdüğü görülmüştür.

5.4.3. Gerilim Okuma Devresi

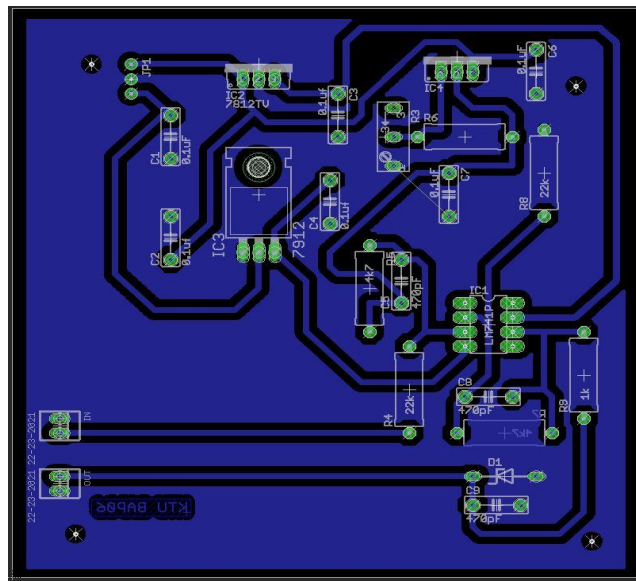
Eviricinin çıkış geriliminin SSİ tarafından okunabilmesi için, gerilim okuma devresi tasarlanmıştır. Okuma işlemi gerilim bölücü devresi yardımıyla yapılmıştır. Evirici çıkışında 1000 ohmluk 11Wattlık taş direnç bulunmaktadır. Taş direnç üzerindeki gerilim 47 ohmluk direnç ile bölünmüştür. AA işaretinin denetleyicinin ADC pininden okunabilmesi için analog bindirme devresi tasarlanmıştır. Çünkü ADC'nin ölçüm aralığı 0 ile 3.3 Volt arasındadır. AA işaret negatif alternans içerdiği için op-amp'li devre yardımıyla DA gerilim bindirmesi yapılmıştır. Tasarlanan devre şeması Şekil 5.26'da gösterilmiştir.



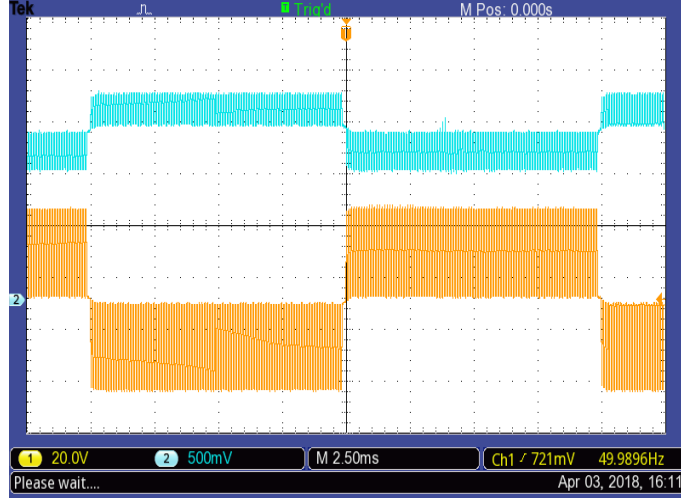
Şekil 5.26 Analog bindirme devre şeması

Yukarıdaki şekilde gösterilen analog bindirme devresinde LM317 gerilim regüle entegresi 1.5 voltluk bir analog gerilimi op-ampın artı girişine verilmiştir. Çıkışındaki sinyali DC kademe 1.5 voltluk yukarı çekmiştir. Opampın beslemesi olarak 7812 ve 7912 gerilim entegreleri sayesinde ± 12 Volt elde edilmiştir ve op-amp bu gerilimlerle beslenmiştir. Çıkış gerilimini veren ifade aşağıda gösterilmiştir. Bu devrenin baskı devre çizimi ve giriş çıkış işaretleri aşağıdaki şekillerde verilmiştir.

$$V_{out} = \frac{R_2}{R_1} * V_{pk} + V_{317} \quad (1.23)$$



Şekil 5.27 Analog bindirme devresi PCB çizimi

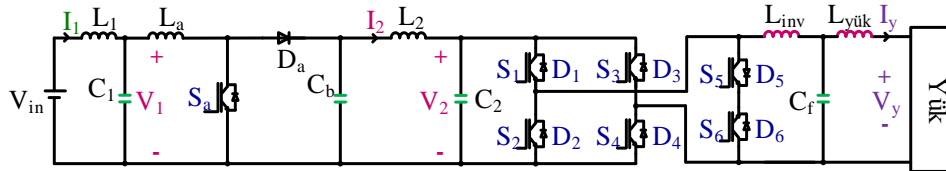


Şekil 5.28 Analog bindirme devresi giriş çıkış işaretleri

Yukarıdaki şekilde osiloskobun 2. kanalı sarı renkli sinyal giriş işaretini göstermekte ve 1. kanal mavi renkli sinyal ise analog bindirme kartının çıkış işaretini göstermektedir. İşaretin girişi ile çıkışı arasında 180 derecelik bir faz farkı görülmektedir. Çıkış geriliminin RMS değeri okunacağı için bu durum sorun oluşturmamaktadır. Girişine uygulanan tepeden tepeye 44 Voltluk işaret çıkışında 0.9 Voltluk tepeden tepeye değer vermektedir. Gerekli dönüşümler simulink üzerinden yapılarak RMS değeri hesaplanmıştır.

5.4.4. DA-DA Artıran Çeviricili HERIC Evirici Devre Tasarımı

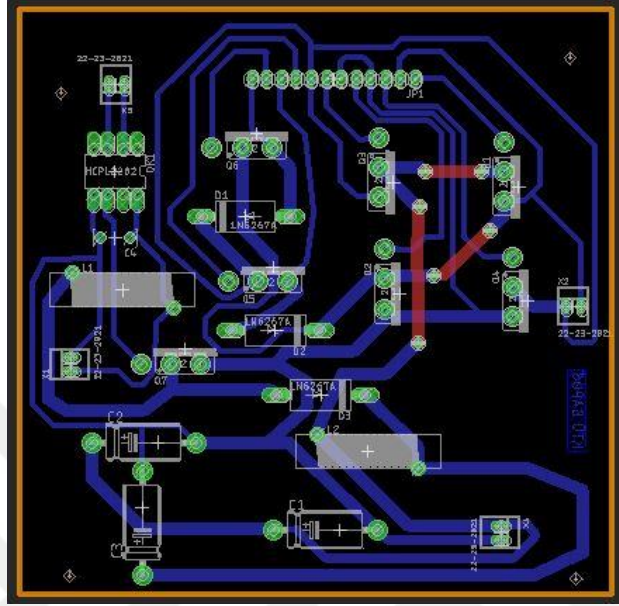
HERIC eviricinin anahtar sürme devresi tasarlandıktan sonra sıra güç elektronik devre tasarımına gelmiştir. Tasarlanacak devrenin şeması Şekil 5.28’de gösterilmiştir. IGBT anahtar olarak Fairchild firmasının 1000 Volt 60 Amperlik G60N100 modeli seçilmiştir. Devre PCB tasarım esnasında akım yollarına dikkat edilerek sürücü yollarına göre daha kalın 2 mm genişliğinde tasarlanmıştır. PCB devre şekil 5.30’da gösterilmiştir.



Şekil 5.29 Yapılan çalışmanın güç elektroniği devre şeması

Bu devre şemasında C_1 ve L_1 kapasite ve endüktansları giriş geriliminden gelen istenmeyen bozunumları bastırmak amacıyla filtre olarak eklenmiştir ve çıkışında artıran dönüştürücüyü beslemektedir. Artıran çeviricinin çıkışında L_2 ve C_2 elemanları ise artıran

çeviricinin çıkış gerilimini anahtarlama etkisiyle kaynaklanan bozunumları filtrelemek amacıyla tasarlanmıştır ve DA gerilimin AA gerilime dönüşmesi için HERIC eviriciyi beslemektedir. Evirici çıkışı filtreden geçirilerek sinüzoidal işaret elde edilmiştir.



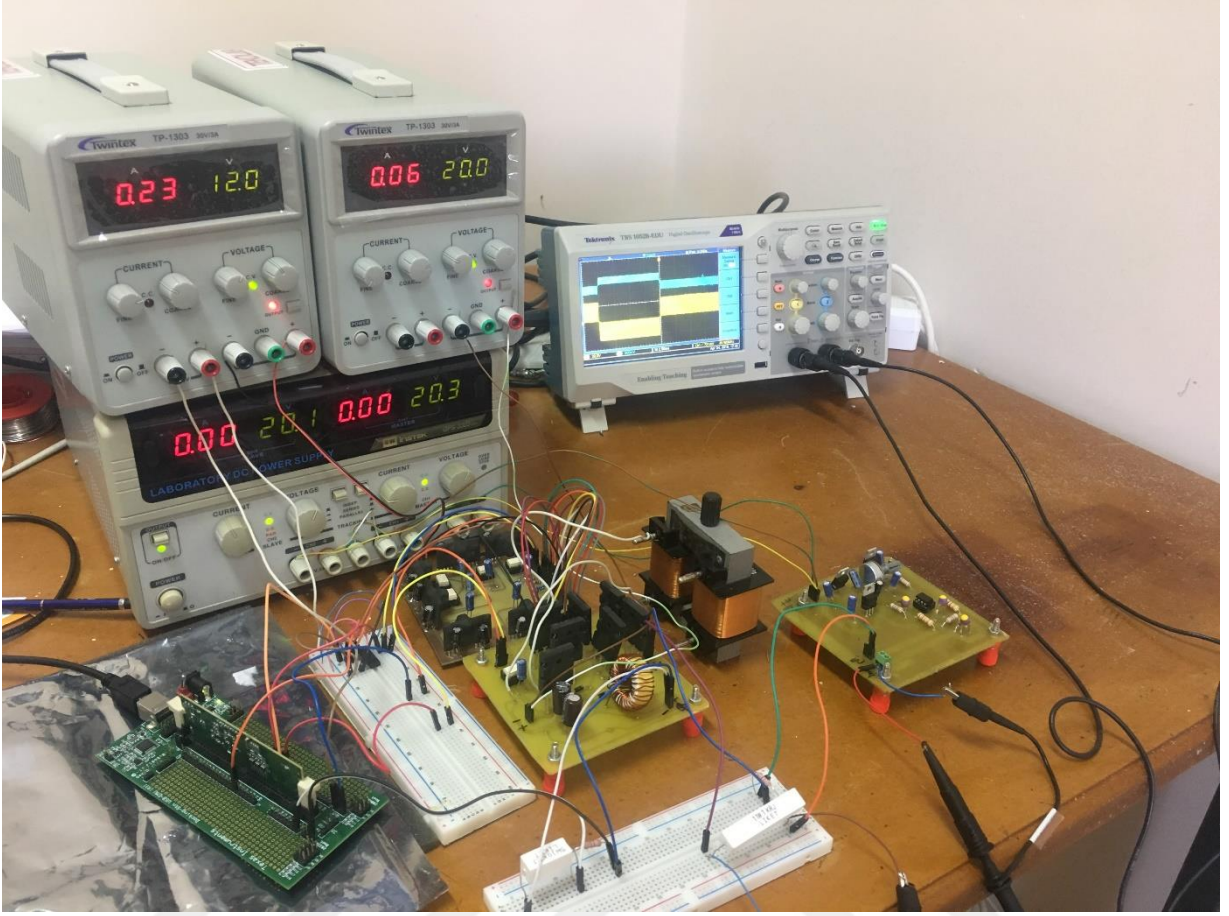
Şekil 5.30 Güç elektroniği baskı devresi

Baskı devre kartları Eagle programı üzerinden tasarlanmıştır.

Baskı devresi yapılan Gerilim okuma, evirici sürücü devresi ve güç elektronik devresinin tasarlanmış genel görünümü Şekil 5.31’de verilmiştir. Deneysel çalışma ve benzetim çalışmasında kullanılan devre parametreleri aşağıdaki tabloda verilmiştir.

Tablo 5.3 Deneysel Çalışma sistem parametreleri

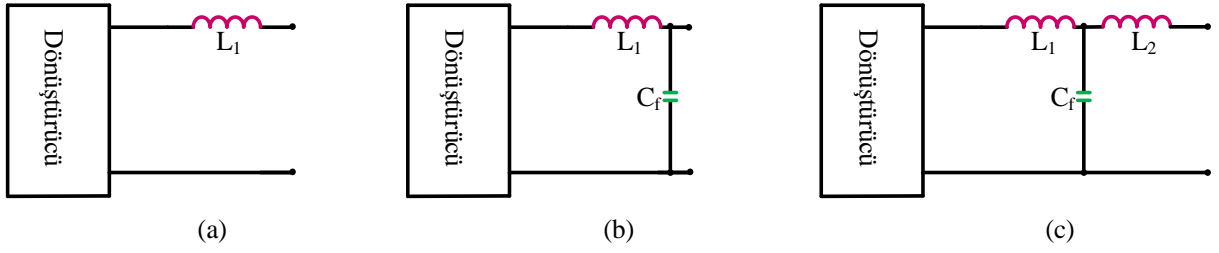
Giriş filresi		DA-DA Dönüştürücü		Çıkış Filtresi		LCL Filtre	
L_1	16.2 uH	L_a	1 mH	L_2	220 uH	L_{inv}	15 mH
C_1	33 uF	C_b	10 uF	C_2	390 uF	C_f	3.3 uF
		f	10 kHz			$L_{yük}$	7.5 mH



Şekil 5.31 Deneysel düzeneğin genel görünümü

5.4.5. LCL Filtre Tasarımı

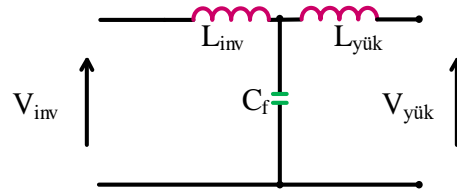
Son yıllarda, güneş ve rüzgar enerjisi gibi yenilenebilir enerji sistemlerindeki gelişmeler evirici ve dönüştürücü filtre tasarımı konusunda önem kazanmıştır. Enerji dönüşümü esnasında anahtarlama elemanlarının sebep olduğu harmonikler şebekeye ya da yüke önemli zararlar vermektedir. Bu noktada filtre tasarımı büyük önem taşımaktadır. Tasarlanan sistemin girişine ve çıkışına eklenen endüktanslar ve kapasiteler bu harmoniklerin bastırılmasına ve yüke düzgün bir işaret aktarılması noktasında önem arz etmektedir. Evirici çıkışında görülen yüksek frekans alternatif kare dalgaların sinüzoidal hale dönüşmesi için filtreye ihtiyaç duyulmaktadır. Literatürde [41,42] sıklıkla kullanılan 3 adet filtre devresi bulunmaktadır. Bunlar Şekil 5.32'deki L, LC ve LCL tipleridir.



Şekil 5.32. Temel filtre topolojileri

Şekil 5.31-a'da L filtre yapısı görülmektedir. L filtre birinci dereceden bir filtre türüdür yüksek frekans anahtarlama için uygundur. Tüm frekans boyunca zayıflatma miktarı 20dB/decadedir. Şekil 5.32-b'de ise ikinci dereceden bir filtre görülmektedir. LC filtrenin yüksek frekans bastırma performansı L filtreden daha iyi olmasına rağmen çıkış yükünden veya şebekeden gelen gerilim kapasite üzerinde aşırı akımlara sebebiyet verir. Şekil 5.32-c şeklindeki filtre tipi ise iyi bir bastırma performansına sahiptir ve aynı zamanda çıkış L_2 filtresi sayesinde kapasite üzerinde aşırı akım akışı olmayacaktır. LCL filtre anahtarlama frekansına yakın değerlerde osilasyon yapmaya duyarlıdır ve bu osilasyon filtre yardımıyla artırılabilir [43].

LCL filtre yapısı evirici tarafı endüktansı (L_{inv}), filtre kapasitesi (C_f) ve yük tarafı endüktansından ($L_{yük}$) oluşmaktadır. Devre şeması şekil 5.33'te verildiği gibidir.



Şekil 5.33 LCL Filtre devre şeması

Filtre tasarımı yapılırken ilk hesaplanması gereken değer rezonans frekansıdır. Rezonans frekansı seçiminde denklem 1.24 dikkate alınarak seçilmektedir.

$$10f_y \leq f_r \leq 0.5f_s \quad (1.24)$$

Yukarıdaki eşitliğe göre rezonans frekansı belirlenirken yük frekansının 10 katı değer ile eviricinin anahtarlama frekansının yarısı arasında olmalıdır. Yapılan HERIC eviricinin anahtarlama frekansı 10000 Hz seçildiği için rezonans frekansı 3250 olarak belirlenmiştir.

Rezonans frekansının belirlenmesinin ardından endüktans ve kapasite değerlerini aşağıda verilen denklemler kullanılarak belirlenebilmektedir.

$$L_{inv} \geq \frac{V_{dc}}{32\Delta i_{L1max}f_s} \quad (1.25)$$

$$C_f \leq \frac{15\%P_N}{2\pi f_y V_y^2} \quad (1.26)$$

$$L_{yük} = L_{inv}/2 \quad (1.27)$$

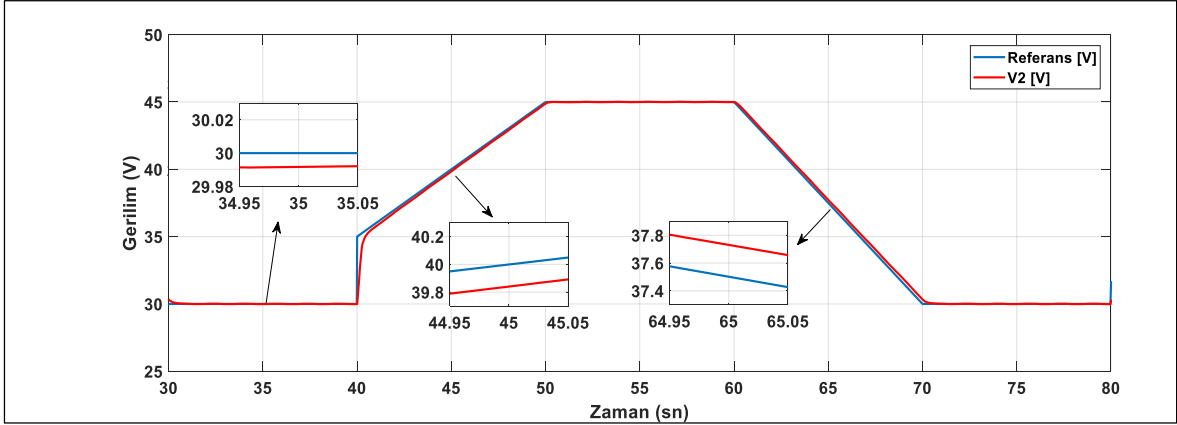
V_{dc} Evirici girişinin DA gerilimini, Δi_{L1max} akımdaki en büyük sıçramayı, f_s anahtarlama frekansını, P_N eviricinin nominal gücünü, f_y yük frekansını, V_y yük geriliminin rms değerini simgelemektedir. Bu denklemler ışığında L_{inv} 15 mH, $L_{yük}$ 7.5 mH ve C_f ise 3.3 μ F olarak hesaplanmıştır.

5.5. DA-DA Artıran Çeviricinin Deneysel Sonuçları

Denetim performansının doğrulayabilmek için HERIC eviricili artıran çeviricinin çıkış gerilimi sabitleme ve kaynak gerilimi değiştirerek çıkış geriliminin referans gerilimini takip etmesi deneyleri yapılmıştır. Referans takibi yapılan deneylerde kaynak gerilimi olarak 20 volt değeri kullanılmıştır. Denetleyici olarak sırasıyla PID, KDPID ve Bulanık Mantık denetleyicisi kullanılmıştır.

5.5.1. DA-DA Artıran Çeviricinin PID Denetimi

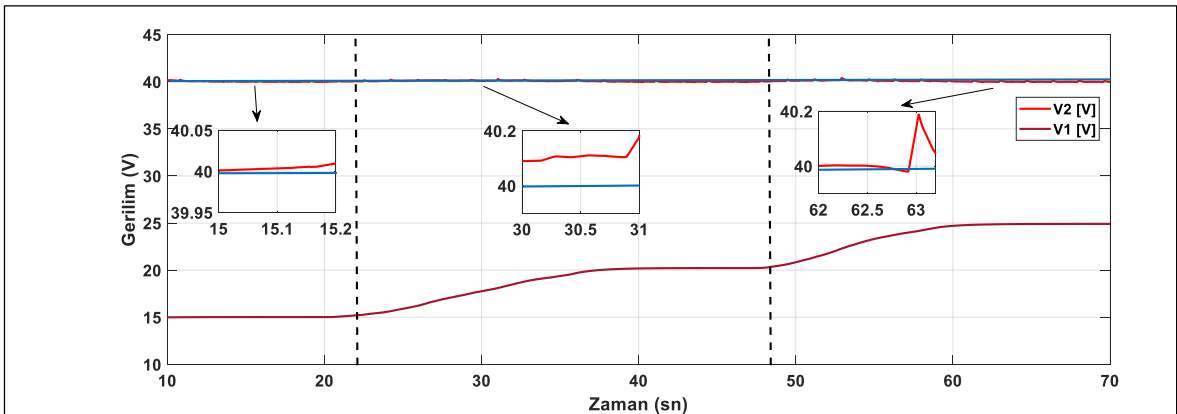
5.2.1 bölümünde belirtildiği gibi ilk başlangıçta k_p katsayıları değiştirilerek referans gerilim etrafında osilasyon yapması sağlanmıştır daha sonra ise k_i katsayılarla osilasyonun azalması sağlanmıştır en son olarak k_d katsayılarını değiştirerek referans gerilimi takip etmesi sağlanmıştır. PID katsayıları sırasıyla 0.175, 0.1 ve 0.001 olarak belirlenmiştir.



Şekil 5.34 DA-DA Artıran çeviricinin PID denetimli çıkış geriliminin referans gerilimi takip etmesi

Şekil 5.34'de belli bir zaman aralığında artıran çeviricinin çıkış geriliminin referans gerilimini takip etmesi gösterilmiştir. Mavi renkli çizgi referans gerilimini simgelerken, kırmızı çizgi ise artıran çeviricinin çıkış gerilimini göstermektedir. 35. saniyedeki yakınlaştırılmış grafik sürekli durumda 0.01 Voltluk bir hatanın olduğunu göstermektedir. 45. saniyedeki yakınlaştırılmış işaret te ise referans gerilimi doğrusal olarak artırılmış ve 0.18 Voltluk bir hata oluşmuştur. 65. saniyedeki yakınlaştırılmış grafikte ise referansın artan eğimindeki gibi benzer hata göstermiştir ve hata miktarı 0.18 Volt kadar olmuştur.

İkinci deney olarak kaynak gerilimi değiştirilerek çıkış geriliminin sabit kalması sağlanmıştır deneysel sonuçlar Şekil 5.35'de verilmiştir.



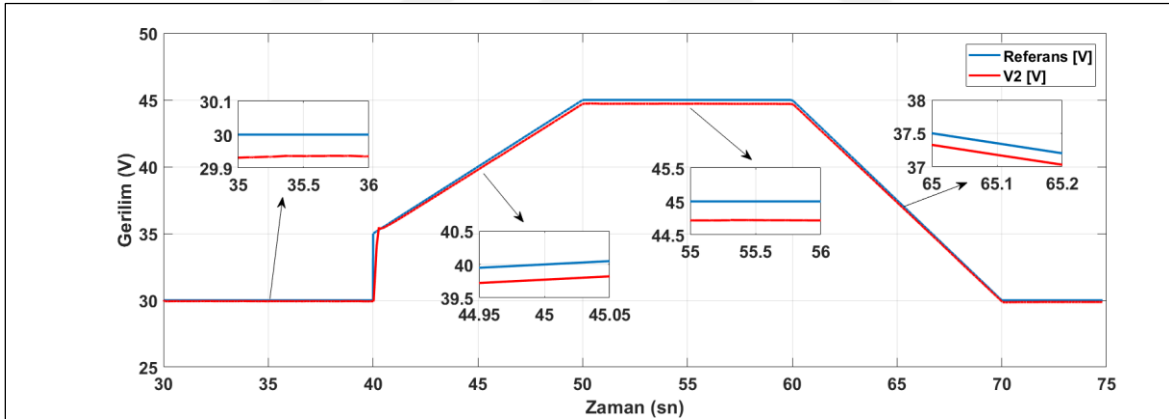
Şekil 5.35 Işınım ve sıcaklık değişimi durumunda PID denetimli artıran çeviricinin referans gerilimi takip etmesi

Kahverengi çizgi kaynak gerilimi, kırmızı renkli çizgi artıran çeviricinin çıkış gerilimi ve mavi renkli çizgi ise referans gerilimi olarak verilmektedir. Kaynak gerilimi 10 ve 22. saniyeler arası 15 Volt, 22. saniyeden sonra 36. saniyeye kadar küçük adımlarla artırılarak 20 Volt değerine getirilmiş 36. Saniyeden 46 saniyeye kadar 20 Volt olarak sabit bırakılmış

ve daha sonra tekrardan küçük adımlarla 25 Volt değerine çıkarılmıştır. Bu değişimler esnasında çıkış geriliminin 40 Volt değerinde sabit kalması sağlanmıştır. 3 yakınlaştırılmış grafikte göstermiştir ki her durumda referans gerilimi takip edilmiştir. En büyük hata 30. saniyede kaynak geriliminin değiştirildiği durumda olmuştur ve bu hata miktarı ise 0.1 Voltluk bir değerdir. Diğer iki yakınlaştırılmış işaretlerde ihmal edilebilecek kadar küçük hatalar olmuştur referans gerilimi sabit kalmasına rağmen kaynak gerilimi değişimleri esnasında 0.2 Voltluk anlık sıçramalar olmuştur.

5.5.2. DA-DA Artıran Çeviricinin KDPID Denetimi

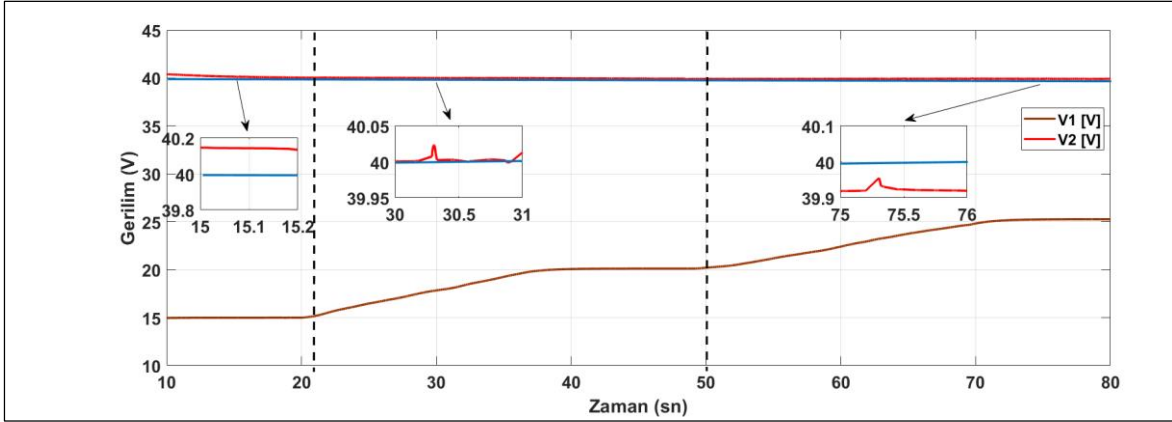
Artıran çeviricinin giriş gerilimi 20 Volt olarak belirlenmiştir ve çıkış geriliminin denetimi bölüm 5.2.2’de belirtildiği adımlarla KDPID katsayıları belirlenmiştir. X bölümünde belirtilen yaklaşımlar ile λ , μ , K_p , K_i ve K_d değeri sırasıyla 0.5, 1, 0.9, 04 ve 0.001 olarak elde edilmiştir. Çıkış geriliminin referans gerilim takip etmesi şekil 5.36’da gösterilmiştir.



Şekil 5.36 DA-DA Artıran çeviricinin KDPID denetimli çıkış geriliminin referans gerilimi takip etmesi

Yukarıdaki şekilde belirli bir zaman diliminde artıran çeviricinin referans gerilimini takip etmesi gösterilmiştir. 35. saniyedeki yakınlaştırılmış grafik sürekli durumda 0.06 voltluk bir hata, 45. saniyedeki yakınlaştırılmış eğimli referans değişim grafiğinde 0.3 voltluk bir hata, 55. saniyedeki sürekli durumda 0.25 Voltluk bir hata ve son olarak 65. saniyedeki yakınlaştırılmış grafikte ise 0.2 Voltluk bir hata görülmüştür. Bu açıklamalar ışığında dönüştürücü yukarı doğru eğimli bir referans gerilim değişimine daha iyi bir cevap vermiştir. Çıkış gerilimi referans değeri arttığında ise hata birazda olsa artmıştır.

İkinci deney olarak kaynak gerilimi değiştirilerek çıkış geriliminin sabit kalması sağlanmıştır Deneysel sonuçlar Şekil 5.37'deki gibidir.

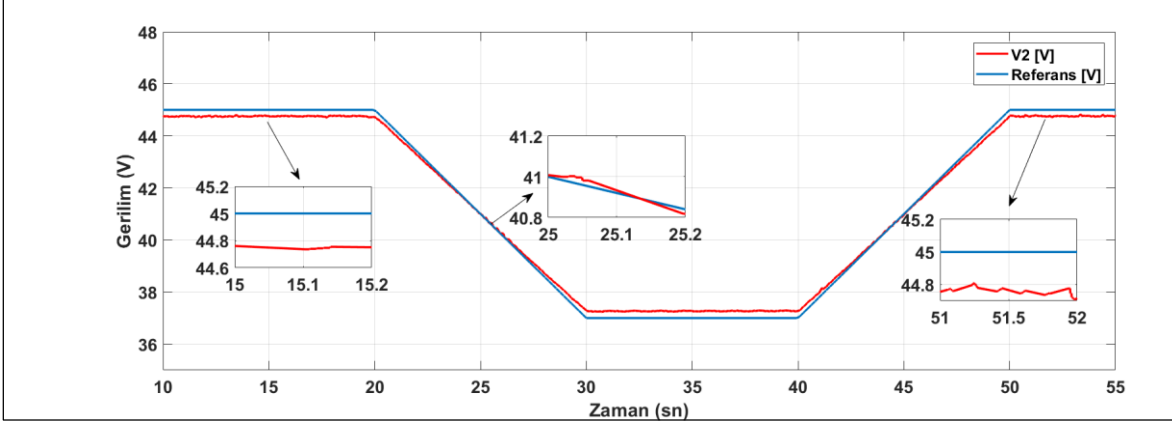


Şekil 5.37 Kaynak gerilimi değişimi durumunda KDPID denetimli artıran çeviricinin referans gerilimi takip etmesi

Yukarıdaki şekilde kaynak gerilimi kahverengi çizgi ile referans gerilimi mavi renkli çizgiyle ve artıran çeviricinin çıkış gerilimi ise kırmızı renkli çizgiyle gösterilmiştir. Devrenin referansa oturması PID denetleyiciye göre 3 saniyelik bir fark olmuştur. 21. saniyeye kadar kaynak gerilimi 15 Volt mertebesinde 21. saniyeden 37. saniyeye kadar kaynak gerilimi küçük adımlarla 20 Volt mertebesine kadar artırılmıştır ve çıkış gerilimi referans gerilim olan 40 Voltu takip etmiştir. 37. saniyeden 50. saniyeye kadar kaynak gerilimi 20 Volt mertebesinde sabit tutulmuştur bu durumda da çıkış gerilimi 40 Voltta sabit kalmıştır. Daha sonra 50. Saniyeden 70. saniyeye kadar kaynak gerilimi küçük adımlarla artırılarak 25 volt değerine getirilmiştir. Bu durumda da çıkış gerilimi referans gerilimi takip etmiştir. Yakınlaştırılmış grafikler yorumlandığı zaman 15. saniyedeki grafikte 0.2 Voltluk bir aşım söz konusu olmasına rağmen 30. saniyedeki yakınlaştırılmış grafikte aşım söz konusu değildir fakat anlık 0.02 Voltluk sıçramalar olmuştur. 75. saniyedeki grafikte ise 0.07 Voltluk bir hata görülmüştür.

5.5.3. DA-DA Artıran Çeviricinin Bulanık Mantık Denetimi

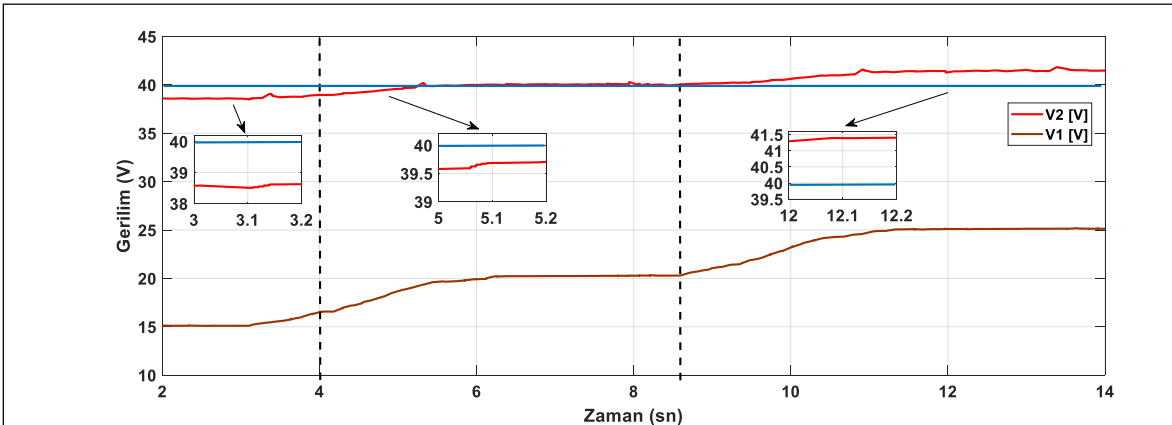
Bulanık mantık denetleyicisinin parametreleri bölüm 5.2.3'de belirtilen simülasyon çalışmasıyla aynı değerler kullanılmıştır. DA-DA artıran çeviricinin çıkış referans gerilimini takip etmesi aşağıda grafikte gösterildiği gibidir.



Şekil 5.38 DA-DA Artıran çeviricinin bulanık mantık denetimli çıkış geriliminin referans gerilimi takip etmesi

Yukarıdaki grafikte mavi çizgi çıkış referans gerilimini ve kırmızı çizgi ise artıran çeviricinin çıkış gerilimini göstermektedir. 15. saniyede yakınlştırılmış grafikte sürekli durumda 0.22 Voltluk kalıcı bir hata gözükmemektedir. 25. saniyede yakınlştırılmış grafikde referans gerilimi doğrusal bir şekilde azaltılmıştır ve denetleyici en iyi cevabı bu süre zarfında vermiştir. Son olarak 51. saniye yakınlştırılmış grafikte ise sürekli durum 0.22 Voltluk bir hata görülmüştür.

İkinci deney olarak kaynak gerilimi değiştirilerek çıkış geriliminin sabit kalması sağlanmıştır Deneysel sonuçlar Şekil 5.39'deki gibidir.



Şekil 5.39 Kaynak gerilimi değişimi durumunda bulanık mantık denetimli artıran çeviricinin referans gerilimi takip etmesi

Yukarıdaki grafikte DA-DA artıran çeviricinin giriş gerilimi değiştirilerek çıkış geriliminin 40 Volt değerine sabitlenmesi amaçlanmıştır. Mavi çizgi referans gerilimi, kırmızı çizgi çıkış gerilimini gösterirken kahverengi çizgi ise kaynak gerilimini

göstermektedir. Kaynak gerilimi diğer iki denetleyicide yapıldığı gibi 15 volt kademesinden başlanarak ilk olarak küçük adımlarla 20 Volta daha sonra ise 25 Volta çıkarılmıştır. 3. saniyede yakınlştırılmış grafikte sürekli durumda 1.2 Voltluk bir hata gözükmektedir. 5. saniyede yakınlştırılmış grafikte kaynak gerilimi küçük adımlarla artırılmıştır ve bu durumda 0.4 Voltluk bir gözükmektedir. Son olarak 12. saniyedeki yakınlştırılmış grafikte ise sürekli durumda 1.3 voltluk bir hata gözükmektedir.

5.5.4. Denetleyici Performanslarının Karşılaştırılması

DA-DA artıran çeviricinin denetimi PI, KDPID ve BMD denetleyici ile yapılmıştır. Elde edilen denetleyici performanslar (aşım miktarı, sürekli durum hata bilgisi ve sıçrama miktarı) aşağıdaki tabloda verilmiştir. İlk olarak referans gerilimi değişim durumunda performans kriterleri verilmiştir.

Tablo 5.4 DA-DA artıran çeviricinin performans sonuçları

Denetleyici Türü	Aşım Miktarı (V)	Sıçrama Miktarı (V)	Sürekli Durum Hatası (V)
PID	0.01	0	0
KDPID	0.05	0	0.1
Bulanık Mantık	0.2	0.05	0.2

Sonuçlar karşılaştırıldığında genel olarak en iyi tepkiyi PID denetleyicisi vermiştir. Aşım miktarı olarak ise PID ve KDPID denetleyicisi vermiştir. Bulanık mantık denetleyicisi sürekli durumda 0.2 Voltluk hata ile diğer denetleyicilere göre kötü bir performans göstermiştir.

Son olarak artıran çeviricinin kaynak gerilimi değişimi durumunda denetleyicilerin performansları karşılaştırılmıştır.

Tablo 5.5 DA-DA artıran çeviricinin performans sonuçları

Denetleyici Türü	Aşım Miktarı (V)	Sıçrama Miktarı (V)	Sürekli Durum Hatası (V)
PID	0.01	0.2	0
KDPID	0.2	0.03	0.1
Bulanık Mantık	1.2	0.01	1.3

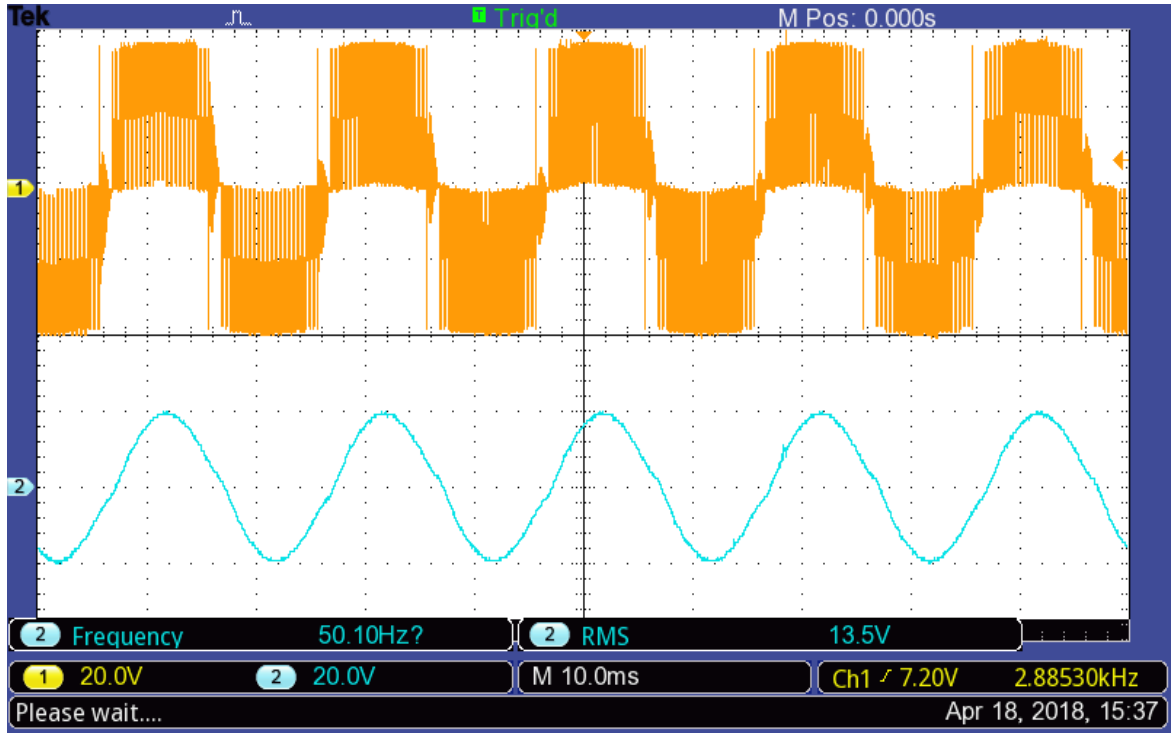
Sonuçlar karşılaştırıldığında genel olarak en iyi tepkiyi PID denetleyicisi vermiştir. Aşım miktarı olarak ise PID ve KDPID denetleyicisi vermiştir. Bulanık mantık denetleyicisi sürekli durumda 1.3 voltluk hata ile diğer denetleyicilere göre kötü bir performans göstermiştir.



6. SONUÇLAR

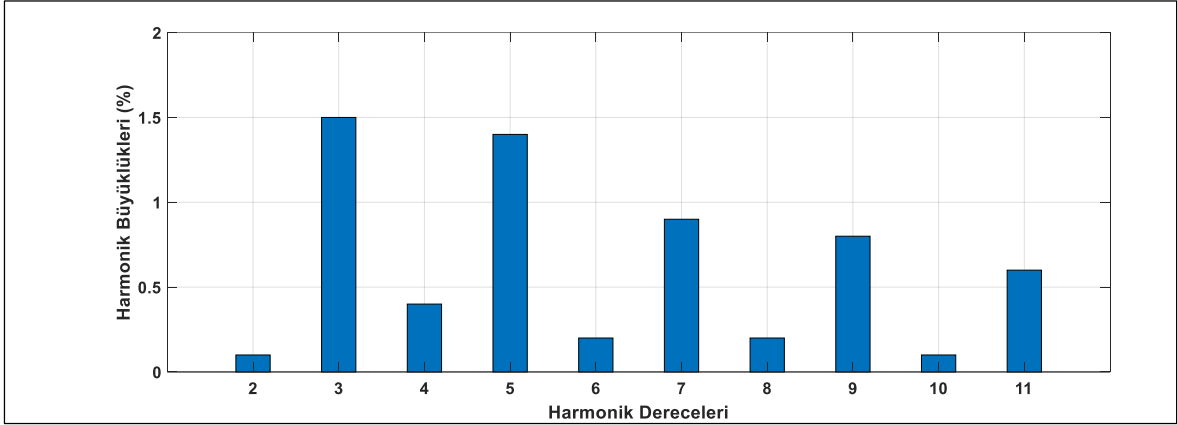
6.1. PID Denetimli FV Sistem Tasarımı

DA güç kaynağından elde edilen 20 Voltluk gerilim DA-DA artıran çevirici ile 40 Volta yükseltilmiştir. Ardından HERIC eviriciden geçirilerek AA işaretine dönüştürülmüştür. Bu çalışmalara ait eviricinin çıkış gerilimi, filtrelenmiş çıkış gerilimi ve toplam harmonik bozunumu Şekil 6.1 ve Şekil 6.2’de verilmiştir.



Şekil 6.1 Yüke aktarılan gerilimin şekli

Yukarıdaki osiloskop görüntüsünde 1. kanal filtre öncesi çıkışı göstermektedir 2. kanal ise filtre çıkışı göstermektedir.

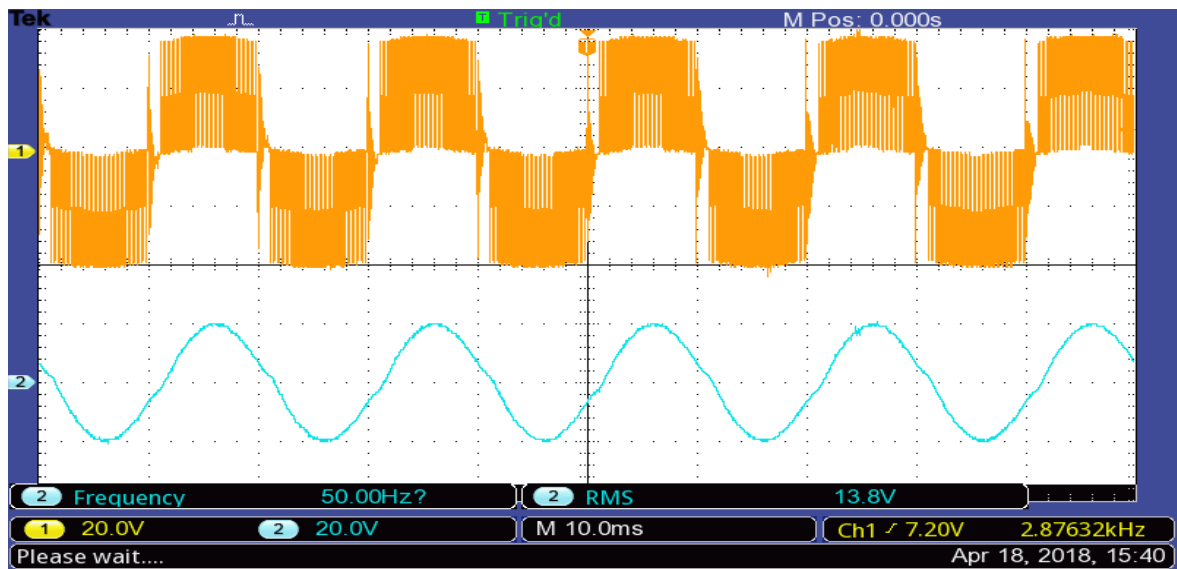


Şekil 6.2 Gerilim harmonik bozunumu

Yukarıdaki şekilde PID denetleyicili HERIC evirici sisteminin ilk 11 harmonik bozunumu gösterilmektedir. Tasarlanan sistemin toplam harmonik bozunumu yüzde 2.6 olmuştur. İEEE1547 standartlarına göre bu rakam %5 altında olması gerekmektedir ve bu değer ile iyi bir harmonik bozunum değeri vermektedir.

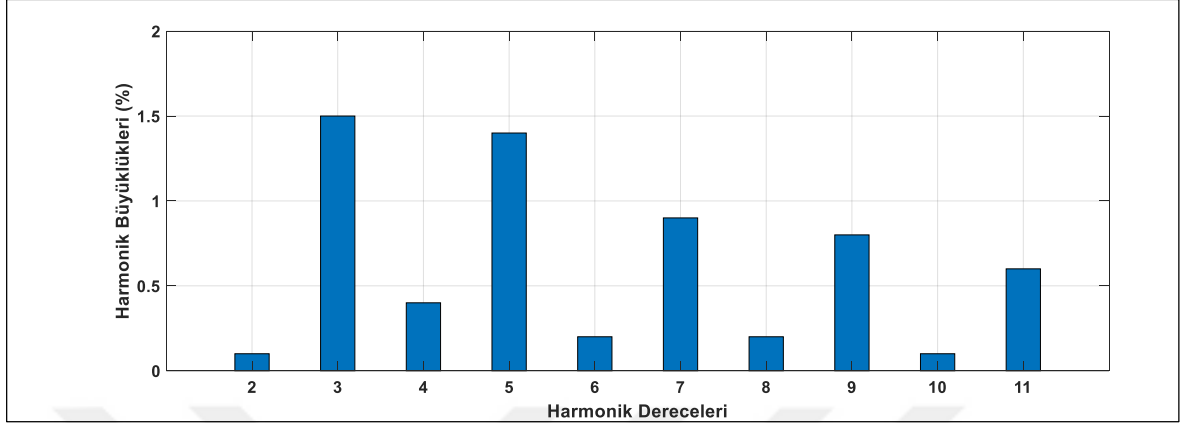
6.2. KDPID Denetimli FV Sistem Tasarımı

DA güç kaynağından elde edilen 20 Voltluk gerilim KDPID denetleyici ile 40 volt değerine sabitlenmiştir. DA gerilim HERIC eviriciden geçirilerek AA gerilime dönüştürülmüştür. Sisteme ait gerilim ve harmonik bozunumları aşağıda Şekil 6.3/4'de verilmiştir.



Şekil 6.3 Yüke aktarılan gerilimin şekli

Yukarıdaki osiloskop görüntüsünde 1. kanal filtre öncesi çıkışı göstermektedir 2. kanal ise filtre çıkışını göstermektedir.

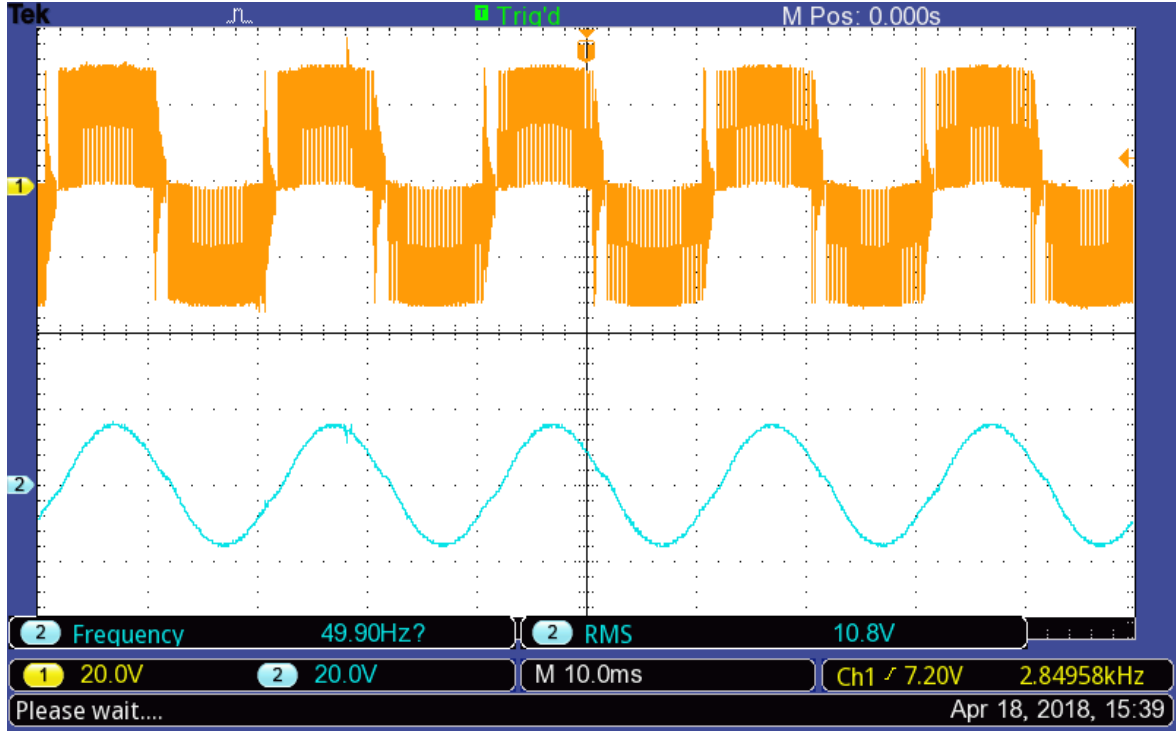


Şekil 6.4 Gerilim harmonik bozunumu

Yukarıdaki şekilde KPID denetleyicili HERIC evirici sisteminin ilk 11 harmonik bozunumu gösterilmektedir. Tasarlanan sistemin toplam harmonik bozunumu yüzde 2.8 olmuştur. İEEE1547 standartlarına göre bu rakam %5 altında olması gerekmektedir ve bu değer ile tasarlanan FV sistem iyi bir harmonik bozunum değeri vermektedir.

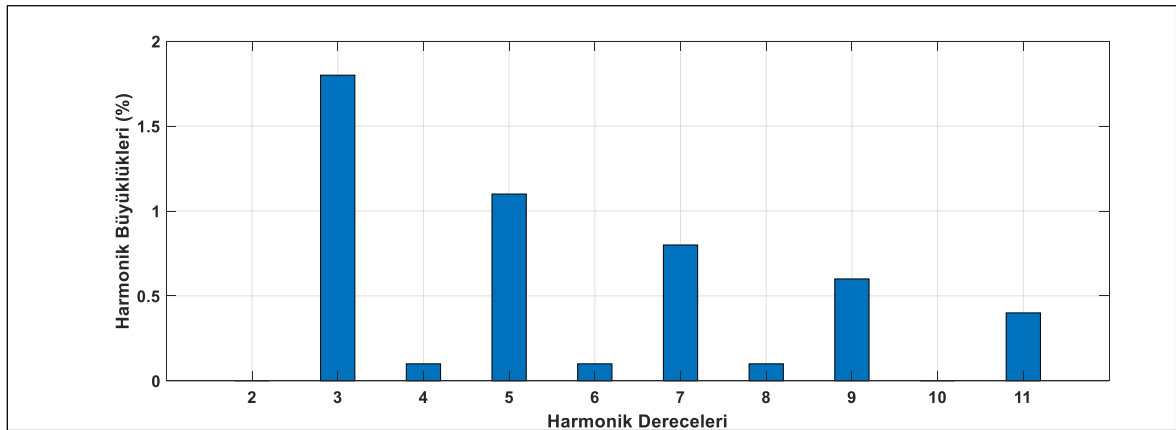
6.3. Bulanık Mantık Denetimli FV Sistem Tasarımı

Son denetleyici olarak Bulanık Mantık kullanılmıştır. Diğer iki sistemde olduğu gibi güç kaynağından elden edilen 20 Voltluk gerilim DA-DA artıran çevirici yardımıyla 40 voltluk değere yükseltilmiştir. Çıkış gerilimini denetlemek için bulanık mantık denetleyicisi kullanılmıştır. Bu çalışmaya ait evirici çıkış gerilimi ve harmonik bozunumu sırasıyla Şekil 6.5. ve Şekil 6.6'daki verilmiştir.



Şekil 6.5 Yüke aktarılan gerilimin şekili

Yukarıdaki osiloskop görüntüsünde 1. kanal filtre öncesi çıkışı göstermektedir 2. kanal ise filtre çıkışını göstermektedir.



Şekil 6.6 Gerilim harmonik bozunumu

Yukarıdaki şekilde Bulanık Mantık denetleyicili HERIC evirici sisteminin ilk 11 harmonik bozunumu gösterilmektedir. Tasarlanan sistemin toplam harmonik bozunumu yüzde 2.4 olmuştur. IEEE1547 standartlarına göre bu rakam %5 altında olması gerekmektedir ve bu değer ile tasarlanan FV sistem iyi bir harmonik bozunum değeri vermektedir.

6.4. Tasarlanan FV Sistemlerin Harmonikler Bakımından Karşılaştırılması

IEEE1547 standardı, dünya genelinde Elektrik Elektronik mühendislerinin dağıtık enerji kaynaklarının yüke veya şebekeye bağlantısı durumunda, kısıtlamaları ve gereksinimleri belirleyen standarttır. Bu standarta göre FV eviricilerin şebeke bağlantı durumunda toplam harmonik bozunumu ve 3. 5. 7. 9. dereceli harmonik bozunumların belirli kısıtlamaları bulunmaktadır. Bu kısıtlamalar ve tasarlanan FV sistemlerin denetleyiciler göre harmonik bozunumları aşağıda tablo 5.5’de verilmiştir.

Tablo 5.6 IEEE1547 harmonik standartları ve denetleyici harmonik performansları

	THD (%)	3. (%)	5. (%)	7. (%)	9. (%)
IEEE1547	≤5.00	≤4.00	≤4.00	≤4.00	≤4.00
PID	2.6	1.5	1.4	0.9	0.8
KDPID	2.8	1.4	1.5	1	0.7
Bulanık Mantık	2.4	1.8	1.1	0.7	0.6

Tablodan da anlaşıldığı gibi en iyi toplam harmonik bozunumu Bulanık Mantık denetleyicili FV sistem vermiştir. Diğer harmonik bozunumlara bakıldığında 3. Dereceden dışında 5,7 ve 9. Dereceli harmoniklerde de en iyi bozunum bulanık mantık denetleyicili sistem vermiştir.

7. ÖNERİLER

Bu tez kapsamında HERIC eviricinin şebekeden bağımsız doğrudan yük bağlantılı sistem denetim performansları incelenmiştir. Denetleyici olarak PID, KDPID ve bulanık mantık denetleyicileri kullanılmıştır. Kaynak olarak DA gerilim kaynağı kullanılmış giriş gerilimi değişim durumunda çıkış gerilimi sabitlenmeye çalışılmıştır. Çıkış filtresi olarak LCL tipi filtre kullanılmıştır. Bu açıklamalar ışığında yapılan çalışmanın geliştirilmesi açısından aşağıda sıralanan öneriler dikkate alınabilir.

- DA gerilim kaynağı yerine FV paneller kullanılarak en büyük güç takibi yapılabilir ve farklı takip algoritmaları denenerek performansları karşılaştırılabilir.
- Artıran çeviricinin denetim algoritmaları değiştirilebilir ya da bulanık mantık denetleyicini farklı üyelik fonksiyonlarıyla denetimi yapılabilir.
- Farklı evirici topolojileri kullanılarak, performansları(verim, harmonik ve maliyet) karşılaştırılabilir.
- Şebeke bağlantısı yapılabilir. Şebeke bağlantı algoritmaları değiştirilerek karşılaştırılmaları yapılabilir.
- Eviricilerin modülasyon işaretleri değiştirilerek filtre ve verim analizi yapılabilir.

8. KAYNAKLAR

1. Abdel-Akher, M., Ali, A. A., Eid, A. M., & El-Kishky, H. ,Optimal Size and Location of Distributed Generation Unit for Voltage Stability Enhancement. In Energy Conversion Congress and Exposition (ECCE), Eylül 2011, 104-108. .
2. Larsson, A., Flicker Emission Of Wind Turbines Caused By Switching Operations. IEEE Transactions on Energy Conversion, 17.1 (2002) 119-123.
3. Parkinson G., Solar PV Costs To Fall Another 25% In Three Years, Reneweconomy, 2015
4. Renewables 2017: Global status report, REN21, 2016, ISBN 978-3-9818107-6-9
5. T.C. Enerji ve Tabii Kaynaklar Bakanlığı 2018 yılı Bütçe Sunumu, Kasım 2017: 24
6. Araújo, S. V., Zacharias, P., ve Mallwitz, R., Highly efficient single-phase transformerless inverters for grid-connected photovoltaic systems. IEEE Transactions on Industrial Electronics, 57.9(2010), 3118-3128.
7. Trends in Photovoltaic Applications. Survey report of selected IEA Countries between 1992 and 2004, Photovoltaic Power Systems Program. Report IEA-PVPS T1-14, 2005.
8. Liu, J., Vazquez, S., Wu, L., Marquez, A., Gao, H., ve Franquelo, L. G. Extended state observer-based sliding-mode control for three-phase power converters. IEEE Transactions on Industrial Electronics, 64, 1 (2017) 22-31.
9. Liu, J., Laghrouche, S., ve Wack, M., Observer-based higher order sliding mode control of power factor in three-phase AC/DC converter for hybrid electric vehicle applications, International Journal of Control, 87,6, (2014) 1117-1130.
10. Liu Jianxing, Laghrouche Salah, Harmouche Mohamed, Wack Maxime. Adapt-gain Second-Order sliding mode Obs Des Switch Power Convert 2014;30:124–31
11. Gubia, E., Sanchis, P., Ursua, A., Lopez, J., ve Marroyo, L., Ground currents in single-phase transformerless photovoltaic systems. Progress in photovoltaics: research and applications, 15, 7, (2007) 629-650.)
12. Zhang, L., Sun, K., Xing, Y., ve Xing, M. . H6 Transformerless Full-Bridge Pv Grid-Tied Inverters. IEEE Transactions on Power Electronics, 29, 3,(2014) 1229-1238..
13. Zaid, S. A., ve Kassem, A. M., Review, Analysis and Improving the Utilization Factor of a PV-grid Connected System Via HERIC Transformerless Approach. Renewable and Sustainable Energy Reviews, 73, (2017), 1061-1069.
14. González, R., Lopez, J., Sanchis, P., ve Marroyo, L., Transformerless Inverter For Single-Phase Photovoltaic Systems. IEEE Transactions on Power Electronics, 22,2, (2007) 693-697.

15. Xiao, H., ve Xie, S., Leakage Current Analytical Model And Application in Single-Phase Transformerless Photovoltaic Grid-Connected Inverter. IEEE Transactions on Electromagnetic Compatibility, 52, 4, (2010), 902-913.
16. Mohan WN, Undeland T, Robbins WP. Power Electronics: converters, Applications, and Design. New York: Wiley; 2003.
17. Li, W., Gu, Y., Luo, H., Cui, W., He, X., ve Xia, C. Topology Review and Derivation Methodology of Single-Phase Transformerless Photovoltaic Inverters For Leakage Current Suppression. IEEE Transactions on Industrial Electronics, 62, 7, (2015), 4537-4551.
18. Li, W., Gu, Y., Luo, H., Cui, W., He, X., ve Xia, C., Topology review and derivation methodology of single-phase transformerless photovoltaic inverters for leakage current suppression. IEEE Transactions on Industrial Electronics, 62, 7, (2015) 4537-4551.
19. Kerekes, Tamás. *Analysis and modeling of transformerless photovoltaic inverter systems*. Institute of Energy Technology, Aalborg University, 2009.
20. Lopez, O., Freijedo, F. D., Yepes, A. G., Fernandez-Comesana, P., Malvar, J., Teodorescu, R., ve Doval-Gandoy, J. Eliminating Ground Current in a Transformerless Photovoltaic Application. IEEE Transactions on Energy Conversion, 25, 1, (2010). 140-147.
21. Dutta, S., Debnath, D., ve Chatterjee, K., A Grid-Connected Single-Phase Transformerless Inverter Controlling Two Solar PV Arrays Operating Under Different Atmospheric Conditions. IEEE Transactions on Industrial Electronics, 65, 1, (2018), 374-385.
22. Dzung, P. Q., Dat, D. N., Anh, N. B., ve Lee, H. H., Design of HERIC inverter for PV systems by using hardware in the loop (HIL) concept. In Industrial Electronics and Applications (ICIEA), Haziran 2014 IEEE 9th Conference on (pp. 2035-2040).
23. Patiño, D. G., Eriera, E. G. G., Rosero, E. E., ve Fuelagán, J. R., SOGI-FLL for synchronization and fault detection in an inverter connected to the grid. In Innovative Smart Grid Technologies Latin America (ISGT LATAM), Ekim 2015 IEEE PES (pp. 833-838).
24. Somani, P., ve Vaghela, D. J., Design of HERIC configuration based grid connected single phase transformer less photovoltaic inverter. In Electrical, Electronics, and Optimization Techniques (ICEEOT), International Conference on, Mart 2016, 892-896.
25. Gotekar, P. S., Muley, S. P., Kothari, D. P., ve Umre, B. S., Comparison of Full Bridge Bipolar, H5, H6 and HERIC Inverter for Single Phase Photovoltaic Systems- a Review. In India Conference (INDICON), Ekim 2015 Annual IEEE 1-6
26. Thiyagarajan, V., ve Somapasundaram, P., Mathematical modelling and comparative analysis of PWM techniques for Photovoltaic fed HERIC inverter. In Recent Trends and Challenges in Computational Models (ICRTCCM), Şubat 2017 Second International Conference on 130-135

27. Kukade, P., Sonti, V., ve Jain, S., A cascaded HERIC based multilevel inverter for reducing leakage current in the PV applications. In Industrial Electronics Society, IECON 2017-43rd Annual Conference of the IEEE Kasım 2017, 4203-4208.
28. Vazquez, G., Martinez-Rodriguez, P. R., Sosa, J. M., Escobar, G., Juarez, M. A., ve Valdez, A. A., H5-HERIC Based Transformerless Multilevel Inverter for Single-Phase Grid Connected PV Systems. In Industrial Electronics Society, IECON 2015-41st Annual Conference of the IEEE, Kasım 2015, 1026-1031.
29. Atawi, I. E. Performance Improvement of A Grid-Tied Photovoltaic System Utilizing HERIC Transformerless Inverter Using Fuzzy PID Controller, International Journal of Applied Engineering Research 11.16 (2016): 8831-8840.
30. McMurray, W., 'Inverter Circuits'. US Patent 3207974, September 1965
31. Lai, R. S., & Ngo, K. D., A PWM method for reduction of switching loss in a full-bridge inverter. IEEE Transactions on Power Electronics, 10, 3, (1995), 326-332.
32. Calais, M., Agelidis, V. G., & Meinhardt, M., Multilevel converters for single-phase grid connected photovoltaic systems: an overview. Solar Energy, 66, 5, (1999), 325-335.
33. Carrasco, J. M., Franquelo, L. G., Bialasiewicz, J. T., Galván, E., PortilloGuisado, R. C., Prats, M. M., ... & Moreno-Alfonso, N., Power-electronic Systems for the Grid Integration of Renewable Energy Sources: A survey. IEEE Transactions on industrial electronics, 53, 4, (2006), 1002-1016.
34. Li, W., ve He, X, Review of nonisolated high-step-up DC/DC converters in photovoltaic grid-connected applications. IEEE Transactions on Industrial Electronics, 58, 4, (2011), 1239-1250.
35. Li, Q., ve Wolfs, P., A Review of the Single Phase Photovoltaic Module Integrated Converter Topologies with Three Different DC Link Configurations. IEEE Transactions on Power Electronics, 23, 3, (2008), 1320-1333.
36. Tey, K. S., ve Mekhilef, S., A Reduced Leakage Current Transformerless Photovoltaic Inverter. Renewable energy, 86, (2016), 1103-1112.
37. Ozkop, E., Doğrusal Hareketli Asenkron Motorun Bulanık Mantıkla Kontrolü, Yüksek Lisans Tezi, K.T.Ü, Fen Bilimleri Enstitüsü, Trabzon, 2006
38. Lai, R. S., ve Ngo, K. D., A PWM Method for Reduction of Switching Loss in a Full-bridge Inverter. IEEE Transactions on Power Electronics, 10, 3, (1995), 326-332.
39. Nabae, A., Takahashi, I., ve Akagi, H.. A New Neutral-point-clamped PWM Inverter, IEEE Transactions on industry applications, 5, (1981), 518-523.
40. Bao, C., Ruan, X., Wang, X., Li, W., Pan, D., ve Weng, K., Step-by-step Controller Design for LCL-type Grid-Connected Inverter with Capacitor-Current-Feedback Active-Damping, IEEE Transactions on Power Electronics, 29, 3, (2014), 1239-1253.

41. Jia, Y., Zhao, J., ve Fu, X., Direct Grid Current Control of LCL-Filtered Grid-Connected Inverter Mitigating Grid Voltage Disturbance, IEEE Transactions on Power Electronics, 29, 3, (2014), 1532-1541.
42. Hanif, M., Khadkikar, V., Xiao, W., ve Kirtley, J. L., Two Degrees of Freedom Active Damping Technique for \$ LCL \$ Filter-Based Grid Connected PV Systems. IEEE Transactions on Industrial Electronics, 61, 6, (2014), 2795-2803.



ÖZGEÇMİŞ

20.05.1992 yılında Elazığ'ın Sivrice ilçesinde doğdu. İlk, ortaokul ve lise öğrenimini Elazığ'da tamamladı. 2010 yılında başladığı Karadeniz Teknik Üniversitesi Mühendislik-Mimarlık Fakültesi Elektrik-Elektronik Mühendisliği Bölümünden 2015 yılında mezun oldu. Aynı yıl Fırat Üniversitesi Elektrik Makinaları Anabilim Dalı'nda yüksek lisans eğitimine başladı. 2016 yılı Şubat ayından itibaren, Karadeniz Teknik Üniversitesi, Fen Bilimleri Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalı'nda Araştırma Görevlisi olarak çalışmaya başlamıştır ve yüksek lisans eğitimini çalıştığı üniversiteye yatay geçiş yapmıştır. Yabancı dil olarak İngilizce bilmektedir.

