

**KARADENİZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**





KARADENİZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

FPGA TABANLI PLC FSK MODEM TASARIMI VE BENZETİMİ

Elektrik-Elektronik Mühendisi Ahmet Yahya BOĞA

Karadeniz Teknik Üniversitesi Fen Bilimleri Enstitüsünde
“ELEKTRONİK YÜKSEK MÜHENDİSİ”
Unvanı Verilmesi İçin Kabul Edilen Tezdir.

Tezin Enstitüye Verildiği Tarih : 03 / 01 / 2022

Tezin Savunma Tarihi : 31 / 01 / 2022

Tez Danışmanı : Prof. Dr. İsmail Hakkı ÇAVDAR

Trabzon 2022

ÖNSÖZ

Bu tez, Karadeniz Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalı, Elektronik Mühendisliği Yüksek Lisans Programı'nda yapılan bir çalışmadır.

Öncelikle yüksek lisans tez danışmanlığımı üstlenen sayın hocam Prof. Dr. İsmail Hakkı ÇAVDAR'a en içten teşekkürlerimi sunuyorum.

Ayrıca bu süreçte desteklerini esirgemeyen aileme, sayın Arş. Gör. Duygu TEKİN'e ve çok sevgili eşim Rabia Sönmez BOĞA'ya çok teşekkür ederim.

Ahmet Yahya BOĞA
Trabzon 2022

TEZ ETİK BEYANNAMESİ

Yüksek Lisans Tezi olarak sunduğum “FPGA Tabanlı PLC FSK Modem Tasarımı ve Benzetimi” başlıklı bu çalışmayı baştan sona kadar danışmanım Prof. Dr. İsmail Hakkı ÇAVDAR’ın sorumluluğunda tamamladığımı, verileri/örnekleri kendim topladığımı, deneyleri/analizleri ilgili laboratuvarlarda yaptığımı/yaptırdığımı, başka kaynaklardan aldığım bilgileri metinde ve kaynakçada eksiksiz olarak gösterdiğimi, çalışma sürecinde bilimsel araştırma ve etik kurallara uygun olarak davrandığımı ve aksinin ortaya çıkması durumunda her türlü yasal sonucu kabul ettiğimi beyan ederim.

31/01/2022

Ahmet Yahya BOĞA

İÇİNDEKİLER

	<u>Sayfa No</u>
ÖNSÖZ.....	III
TEZ ETİK BEYANNAMESİ.....	IV
İÇİNDEKİLER.....	V
ÖZET	VII
SUMMARY	VIII
ŞEKİLLER DİZİNİ	IX
SEMBOLLER DİZİNİ	X
1. GENEL BİLGİLER.....	1
1.1. Giriş.....	1
1.2. Literatür Taraması	2
1.3. Amaç ve Kapsam.....	4
1.4. Modülasyon ve Demodülasyon	5
1.5. Frekans Kaydırmalı Anahtarlama Modülasyonu	6
1.6. Frekans Kaydırmalı Anahtarlama Demodülasyonu	8
1.6.1. Çarpıcı	8
1.6.2. Filtre	9
1.6.2.1. FIR Filtre	11
1.6.3. Karar Verici Devre	12
1.7. PLC.....	13
1.8. FPGA.....	13
1.9. Vivado	14
1.10. VHDL.....	14
1.10.1. VHDL Genel Yapısı	15
1.10.2. Veri Nesneleri ve Tipleri	16
1.10.3. Sıralı Atama Döngüleri	17
1.10.4. Sıralı Komutlar	17
2. YAPILAN ÇALIŞMALAR ve BULGULAR	19
2.1. Giriş.....	19
2.2. Tasarlanan Modem Sistemi Genel Yapısı	19

2.3.	Matlab ile Taşıyıcı İşaretlerin Üretilmesi ve Örneklenmesi	20
2.4.	FSK Modülatör Tasarımı	23
2.5.	FSK Modülatör Benzetimi	24
2.6.	FSK Demodülatör Tasarımı	25
2.6.1.	Çarpıcı Bloğu Tasarımı	26
2.6.2.	Filtre Bloğu Tasarımı	27
2.6.3.	Karar Verici Devre Bloğu Tasarımı	28
2.6.4.	FSK Demodülatör Bloğu Genel Görünümü	28
2.7.	FSK Demodülatör Benzetimi	29
2.8.	FSK Modem Tasarımı	30
2.9.	FSK Modem Benzetimi	31
2.10.	Bulgular	36
3.	SONUÇLAR	37
4.	ÖNERİLER	38
5.	KAYNAKLAR	39
6.	EKLER	42
ÖZGEÇMİŞ		

Yüksek Lisans Tezi

ÖZET

FPGA TABANLI PLC FSK MODEM TASARIMI VE BENZETİMİ

AHMET YAHYA BOĞA

Karadeniz Teknik Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik- Elektronik Mühendisliği Anabilim Dalı
Danışman: Prof. Dr. İsmail H. ÇAVDAR
2022, 41 Sayfa, 5 Sayfa Ek

Haberleşme ve veri iletim yöntemleri günümüzde oldukça önemli bir yere sahiptir. Teknolojinin gelişmesiyle alternatif haberleşme teknikleri üzerine yapılan çalışmalarda artmaktadır. Enerji hattı haberleşmesi de bu alternatiflerden biridir. Ayrıca bu alternatif haberleşme yöntemlerinin tasarımının esnek, kolay test edilebilir ve gerçekleştirilebilir olması tasarımların daha hızlı ve pratik şekilde gerçekleştirilebilmesi için gereklidir. Bu noktada alanda programlanabilir kapı dizileri yapısı itibari ile bu ihtiyaçları karşılamaktadır.

Bu tez çalışmasında alanda programlanabilir kapı dizileri üzerinde 100-500 kHz frekans aralığı enerji hattı haberleşmesi için kullanılacak bir FSK modem tasarımı yapılmış ve bu tasarımı test edilerek benzetimi yapılmıştır. Yapılan tasarım ve benzetim çalışmaları için Vivado ara yüzü ve VHDL donanım tanımlama dili kullanılmıştır. Benzetimler sonucunda tasarımın girişine uygulanan bilgi işaretinin çıkışta geri elde edildiği gözlemlenmiştir.

Anahtar Kelimeler: FSK, FPGA, PLC, VHDL.

Master Thesis

SUMMARY

FPGA BASED PLC FSK MODEM DESIGN AND SIMULATION

AHMET YAHYA BOĞA

Karadeniz Technical University
The Graduate School of Natural and Applied Sciences
Electrical and Electronics Engineering Graduate Program
Supervisor: Prof. Dr. İsmail H. ÇAVDAR
2022, 41 Pages, 5 Pages Appendix

Communication and data transmission methods have a very important place today. With the development of technology, studies on alternative communication techniques are increasing. Power line communication is one of these alternatives. In addition, it is necessary for the design of these alternative communication methods to be flexible, easily testable and implementable so that the designs can be realized faster and more practically. At this point, field programmable door arrays meet these needs due to their structure.

In this thesis, a FSK modem to be used for power line communication in the frequency range of 100-500 kHz on field programmable gate arrays has been designed and this design has been tested and simulated. Vivado interface and VHDL hardware definition language were used for the design and simulation studies. As a result of the simulations, it has been observed that the information sign applied to the input of the design is recovered at the output.

Keywords: FSK, FPGA, PLC, VHDL.

ŞEKİLLER DİZİNİ

	<u>Sayfa No</u>
Şekil 1.1. BFSK Modülatör blok şeması	7
Şekil 1.2. Örnek bir BFSK modülasyonlu işaret	7
Şekil 1.3. FSK Demodülatör blok diyagramı	8
Şekil 1.4. Örnek bir sayısal FIR filtre blok gösterimi	9
Şekil 1.5. FIR Filtre yapısı	11
Şekil 1.6. FPGA Mantık bloğu iç yapısı	14
Şekil 2.1. Tasarlanan modem sistemi blok diyagramı	20
Şekil 2.2. Sinüs örnekleme değerleri	21
Şekil 2.3. Oluşturulan sinüs işaretleri	22
Şekil 2.4. FSK Modülatör akış şeması	23
Şekil 2.5. FSK Modülatör bloğu	24
Şekil 2.6. FSK Modülatör benzetimi	25
Şekil 2.7. FSK Demodülatör akış şeması	26
Şekil 2.8. FSK Demodülatör çarpıcı bloğu	27
Şekil 2.9. FSK Demodülatör filtre blokları	27
Şekil 2.10. FSK Demodülatör karar verici devre bloğu	28
Şekil 2.11. FSK Demodülatör yapısı	29
Şekil 2.12. FSK Demodülatör benzetimi	30
Şekil 2.13. FSK Modem yapısı	31
Şekil 2.14. bilgi_isareti = [10101010101010101010101010101010] durumunda benzetim sonuçları	32
Şekil 2.15. bilgi_isareti = [01101101010011101001101010111001] durumunda benzetim sonuçları	32
Şekil 2.16. bilgi_isareti = [11010010010110110000111101101001] durumunda benzetim sonuçları	33
Şekil 2.17. Taşıyıcı işaret frekansları 100 ve 150 kHz olduğu durum	34
Şekil 2.18. Taşıyıcı işaret frekansları 100 ve 120 kHz olduğu durum	34
Şekil 2.19. Taşıyıcı işaret frekansları 100 ve 110 kHz olduğu durum	35

SEMBOLLER DİZİNİ

ASK	Amplitude Shift Keying
ADC	Analog to Digital Converter
BASK	Binary Amplitude Shift Keying
BFSK	Binary Frequency Shift Keying
BPSK	Binary Phase Shift Keying
DAC	Digital to Analog Converter
DDS	Direct Digital Sentizer
f_c	Merkez taşıyıcı frekans
FPGA	Field Programmable Gate Array
FIR	Finite Impulse
FSK	Frequency Shift Keying
IIR	Infinite Impulse
kHz	Kilohertz
PLC	Power Line Communication
PSK	Phase Shift Keying
PWM	Pulse Width Modulation
R_i	Özilinti
VHDL	VHSIC Hardware Description Language
QAM	Quadrature Amplitude Modulation

1. GENEL BİLGİLER

1.1. Giriş

Günümüzde gelişen teknoloji ile dünyamız günden güne daha da sayısallaşmaktadır. Bu nedenle sinyal işleme ve haberleşme sistemleri günlük yaşantımızın en önemli parçalarından biri haline gelmiştir. Bu durum veri iletim tekniklerinin ve alternatif haberleşme yöntemlerinin önemini arttırmıştır. Bu noktada enerji hattı haberleşmesi birçok alanda uygulaması bulunmasıyla önemli bir haberleşme alternatifi olma özelliği taşımaktadır. Alanda programlanabilir kapı dizileri ise ihtiyaca göre programlanabilme, tasarımları hızlı bir şekilde test edebilme, yüksek işlem kapasitesi gibi özellikleri ile sorunlara esnek ve pratik çözümler sunabilmektedir.

Veri iletiminde iletilecek verinin iletim hattında taşınabilmesi için farklı modülasyon teknikleri kullanılmaktadır. Bu modülasyon teknikleri arasından frekans kaydırmalı anahtarlama modülasyonu üretilmesinin ve çözümlenmesinin kolaylığı ile oldukça yaygın olarak kullanılmaktadır. Frekans kaydırmalı anahtarlama modülatörü, voltaj kontrollü osilatör kullanılarak fiziksel olarak gerçekleştirilebilir. Ancak fiziksel olarak tasarlanan bu devrelerin değişen durumlara uyum sağlaması oldukça zordur. Dolayısıyla tasarımların sayısal ortamda yapılması ihtiyaç durumunda kolaylıkla müdahale edilebilmesi açısından daha uygundur. Bu noktada alanda programlanabilir kapı dizileri esnek yapıları ve tasarımların kolaylıkla denenebilme ve gerçekleştirilmesine imkân sunmasıyla iyi bir alternatiftir.

Bu tez çalışmasında FPGA kullanılarak bir haberleşme alternatifi olan enerji hattı haberleşmesine ait orta frekanslarda (100 kHz- 500 kHz) kullanılacak frekans kaydırmalı anahtarlama tekniği kullanan bir modem tasarlamak ve benzetimini gerçekleştirmek istenilmiştir.

Bu doğrultuda ilk olarak Matlab ara yüzü kullanılarak taşıyıcı sinüs işaret ve örnekleri elde edilmiştir. Ardından Vivado ortamında VHDL donanım tanımlama dili kullanılarak modülatör ve demodülatör tasarımı gerçekleştirilmiştir.

Bu tez çalışması iki bölümden oluşmaktadır. İlk bölümde modülasyon / demodülasyon teknikleri, enerji hattı haberleşmesi, alanda programlanabilir kapı dizileri ve kodlamaları ile ilgili genel bilgiler verilmiştir.

Çalışmanın ikinci kısmında ise frekans kaydırmalı anahtarlama tekniği kullanan bir modem adım adım tasarımı ve benzetimi yapılmıştır. Modem için ilk olarak modülatör oluşturularak, benzetimi yapılmıştır. Daha sonra demodülatör kısmını oluşturan çarpıcı, filtre ve karar verici devre parçaları ayrı ayrı oluşturulmuştur ve demodülatör tasarımı tamamlanarak benzetimi yapılmıştır. Son olarak modülatör ve demodülatör bir arada denenerek bir modem tasarımı oluşturulup benzetimi yapılarak elde edilen sonuçlar gözlemlenmiştir.

1.2. Literatür Taraması

FPGA tabanlı modülatör ve demodülatör ile ilgili yapılan çalışmalar incelenmiştir. Yapılan çalışmalar çeşitli senaryolar için FPGA uyumlu modülatör ve demodülatör tasarımları ve benzetimleri üzerinde yoğunlaşmıştır.

S. O. Popescu (2010) ve arkadaşları VHDL donanım tanımlama dili kullanarak FPGA uyumlu bazı modülasyon tekniklerinin tasarımını yapmışlardır. Çalışmalarında PSK ve QAM modülasyon tekniği için modülatör tasarımı yapmışlardır ve tasarladıkları modülatörden yola çıkarak bir BPSK demodülatör tasarımı gerçekleştirmişlerdir [1].

Ko-Chi Kuo (2010) ve arkadaşları PLC hattı üzerinde işaret iletme üzerine çalışmışlardır. Bir PWM modülatör kullanarak iletilecek bilgi işaretini modüle etmişlerdir. Bir FSK demodülatör kullanarak modüle edilmiş işaretten tekrar bilgi işaretini elde etmişlerdir. Taşıyıcı işaret frekansları olarak 60 kHz ve 70 kHz frekanslara sahip sinüzoidal işaretler kullanımlardır [2].

Nimmy Rose James (2013) ve arkadaşları tarafından, MSP430 mikro denetleyicisi kullanılarak bir PLC modem tasarlanmıştır. Tasarlanan modem için dar bant enerji hattı haberleşmesi frekansı seçilmiştir. Frekans değeri olarak 120 kHz seçilmiş ve modülasyon tekniği olarak BFSK kullanmışlardır [3].

Yue Yajie (2014) ve arkadaşları FPGA tabanlı bir FSK modülasyon ve demodülasyon tasarımı gerçekleştirmişlerdir. Modülasyon tekniği olarak 2FSK üzerinde çalışmışlardır. Taşıyıcı sinüs sinyallerini üretmek için DDS yöntemi kullanmışlardır. Modülatör ve demodülatör tasarımlarını ayrı ayrı yaparak benzetimlerini gerçekleştirmişlerdir [4].

Gökhan SATILMIŞ (2015) tarafından yapılan çalışmada PLC kanalında, düşük SNR değerinde yüksek bit hata oranında (Bit Error Rate, BER) veri iletimi sağlayabilmesi amacı

ile modülasyon yöntemi olarak BPSK tercih edilmiştir. Tasarlanan modemin verici ve alıcı olarak FPGA ara yüzünde benzetimi yapılmıştır. FPGA'nın paralel işlem gücünün yüksek olması ve esnek yapılı kapı dizilerine sahip olması bu çalışmada tercih edilme sebebidir [5].

Mangala J (2015) ve arkadaşları FPGA tabanlı, uygulamaya göre gerekli modülasyon yönteminin kullanılabilirdiği ayarlanabilir modülatör tasarımı gerçekleştirmişlerdir. ASK, FSK, PSK modülasyonları arasından ihtiyaç olunan modülatörün seçilebildiği bir tasarım yapmışlardır. Tasarım için Matlab üzerinde kullanılan Xilinx blocksets içerisinde yer alan system generatordan faydalanmışlardır [6].

Zeynep KAYA (2015) tarafından yüksek lisans tezi kapsamında LUT (Taramalı Tablo) tabanlı süzgeçler incelenmiş, geliştirilmiş ve örnek süzgeç olarak üst-örnekleyen raised-cosine süzgecinin FPGA üzerinde tasarımı gerçekleştirilmiştir [7].

Mehmet SÖNMEZ (2016) tarafından doktora tezi kapsamında FPGA kullanarak BFSK, BPSK, BASK modülasyon tekniklerini gerçekleştirecek modülatör tasarımı gerçekleştirmiş ve Altera Deo- Nano board kullanarak bu tasarımları gerçeklemiştir [8].

Akshay Sharma (2017) ve arkadaşları tarafından, Verilog donanım tanımlama dili kullanılarak Xilinx-ISE üzerinden bazı modülasyon tekniklerinin benzetimi üzerine çalışmışlardır. Modülasyon teknikleri olarak BASK, BFSK, BPSK ve QPSK sayısal modülasyon tekniklerini kullanmışlardır. Xilinx-ISE arayüzü ile bu modülasyon tekniklerinin benzetimini gerçekleştirmişlerdir [9].

Kiran Bhandarkar (2017) ve arkadaşları uydu uygulamalarında kullanılmak üzere yeniden yapılandırılabilir bir modülatör tasarımı üzerine çalışmışlardır. Önerilen modülatör donanım değişikliği gerektirmeden yeniden yapılandırılarak FSK, MSK, OQPSK modülasyonlarını gerçekleştirebilmektedir. Bunun için Matlab simulink üzerinden Xilinx blok setleri kullanarak tasarımı gerçekleştirmişlerdir [10].

Erman ÖZPOLAT (2017) tarafından, FPGA kullanarak bir sayısal filtre tasarımı yapılmıştır. Çalışmasında tasarımını ilk olarak Verilog donanım tanımlama dili ile yapmıştır. Sonrasında filtre tasarımı için Xilinx System Generator kullanmıştır ve bu iki durum için FPGA yapısı durumlarını karşılaştırmıştır [11].

J. G. Duarte-Junior (2021) ve arkadaşları tarafından FPGA tabanlı yazılım tanımlı radyo modem tasarımı yapılmıştır. ASK, FSK ve PSK modülasyonlarına uyumlu çok modlu modem tasarımını çeşitli FPGA modellerinde benzetimini gerçekleştirmişlerdir [12].

Yapılan çalışmalar incelendiğinde gerçekleştirilen çalışmaların genel olarak FPGA tabanlı modülatör tasarımı üzerine yoğunlaştığı görülmüştür. Bazı çalışmalarda modülatör

tasarımının yanı sıra demodülatör tasarımları da yapılmıştır. Yapılan modülatör ve demodülatör tasarımlarında ASK, FSK, PSK gibi farklı modülasyon teknikleri kullanılmıştır. İncelenen bazı çalışmalarda taşıyıcı sinüs işaretleri oluşturmak için DDS yöntemi kullanılmıştır. Sadece demodülatör yapısı içerisinde kullanılacak sayısal filtre tasarımları yapılan çalışmalarda FIR filtre tasarımları gerçekleştirildiği görülmüştür. Birçok çalışmada Matlab Simulink'e entegre olarak kullanılan System Generator'dan faydalanılarak hazır bloklar oluşturularak FPGA tabanlı tasarımlar gerçekleştirilmiştir. PLC üzerine gerçekleştirilen çalışmalarda ise çeşitli iletim tekniklerine sahip modem tasarımlarına rastlanılsa da FPGA tabanlı bir modem tasarımına rastlanılmamıştır. Yapılan bu tez çalışmasında ise enerji hattı haberleşmesi orta frekans bandında kullanılacak taşıyıcı işaretler Matlab aracılığı ile örneklenerek benzetim ortamına aktarılmıştır. Bu tasarımda modülasyon tekniği olarak frekans kaydırmalı anahtarlama modülasyonu tercih edilmiştir. Modülasyon ve demodülasyon işlemlerine gerçekleştirecek olan elemanlar (modülatör, sayısal filtre, çarpıcı, karar verici) bloklar şeklinde VHDL donanım tanımlama dili ile kodlanarak tasarlanmış ve benzetimi yapılmıştır. Oluşturulan FPGA tabanlı modem tasarımının enerji hattı haberleşmesinde kullanılabileceği düşünülmektedir.

Tez çalışmasının devamında çalışmanın teorik altyapısı, çalışmada kullanılan kodlama dili, benzetim ortamı anlatılmıştır, yapılan çalışmalar ve bulgular anlatılmıştır.

1.3. Amaç ve Kapsam

Literatür ve yapılan çalışmalar incelendiğinde gerçekleştirilen çalışmaların genellikle modülasyon ağırlıklı olduğu görülmektedir. Yapılan FPGA tabanlı çalışmalarda farklı donanım tanımlama dilleri kullanılmış ve tasarlanan modülatörlerin benzetim çalışmaları gerçekleştirilmiştir. Enerji hattı haberleşmesi üzerine yapılan çalışmalarda çeşitli modülasyon teknikleri kullanılsa da FPGA tabanlı bir çalışmaya rastlanılmamıştır.

Bu tez çalışmasında amaçlanan enerji hattı haberleşme sistemlerinde kullanılmak üzere FPGA tabanlı bir FSK modem tasarımı gerçekleştirmektir. Fiziksel devreler ile gerçekleştirilen modülatör, demodülatör tasarımları tekrar ayarlanabilir olamamaktadırlar. Farklı uygulama ve farklı parametrelere uyum sağlayamamaktadırlar. Sayısal olarak tasarlanan modülatör, demodülatör tasarımları ise değişen parametrelere göre yeniden programlanarak kullanılabilir. FPGA ise alanda programlanabilir yapısı ile doğrudan olay yerinde tamamen farklı amaçlarla programlanarak kullanılabilmesiyle bu konuda

oldukça esneklik sağlamaktadır. Çalışmada FPGA tercih edilmesinin başlıca nedenleri FPGA'in yüksek hızlara sahip olması, paralel işlem yapabilme kapasitesinin yüksek olması nedeniyle aynı anda birden fazla işlemi gerçekleştirebilmesi, alanda programlanabilir olması sebebiyle ihtiyaç halinde kolaylıkla istenilen parametrelere göre olay yerinde yeniden programlanabilmesi gibi özellikleri gelmektedir. Ayrıca enerji hatlarının karakteristikleri gereği düzensiz ve stabil olmayan bir yapıya sahip olmaları nedeniyle kullanılacak tasarımın esnek ve uyarlanabilir olması gerekir. FPGA yapısı gereği bu ihtiyaçları karşılayabilmektedir.

Bu tez çalışmasında FPGA tabanlı bir FSK modem tasarımı için donanım tanımlama dili olarak VHDL dili tercih edilmiştir. Frekans kaydırmalı anahtarlama modülasyonunda kullanılacak modülatör ve demodülatör yapıları VHDL dili ile kodlanarak oluşturulmuş ve oluşturulan bu kodların Vivado ortamında benzetimi gerçekleştirilmiştir.

1.4. Modülasyon ve Demodülasyon

Çevremizde gerçekleşen her türlü olayları algılamamızı ve bu olaylar hakkında işlemler yapmamıza imkân veren verileri sinyal olarak adlandırabiliriz. Sinyaller; canlıların sesleri, ortamın sıcaklığı, yağış yoğunluğu gibi fiziksel işaretler olabileceği gibi gerilim değeri, elektromanyetik alan gibi elektriksel işaretlerde olabilir [13]. Haberleşme sistemlerinin temelinde de bir işareti ya da bilgiyi yüksek doğruluk oranı ile iletebilmek yatmaktadır. İşaretin iletilebilmesi içinse çeşitli teknikler bulunmaktadır. İşaretin iletilebilmesi için kullanılan bu tekniklere modülasyon teknikleri, iletilen işaretin çözümlenebilmesi için kullanılan tekniklere ise demodülasyon teknikleri denilmektedir. Modülasyon türleri iletilecek işaretin karakteristiği veya ortama göre analog ve sayısal modülasyon/demodülasyon olarak ayrılmaktadır.

Analog modülasyon tekniklerinde, taşıyıcı işaretin karakteristiğinin bilgi işaretinin durumuna göre değişmesine göre üç temel teknik vardır. Bunlar genlik modülasyonu, frekans modülasyonu ve faz modülasyonu olarak adlandırılmaktadırlar. Bilgi işaretinin durumuna göre taşıyıcı işaretin genliğinin değişmesiyle genlik modülasyonu, frekansının değişmesiyle frekans modülasyonu ve fazının değişmesiyle faz modülasyonu elde edilir.

Analog modülasyonda modüleli işaret belirli bir aralıkta herhangi bir değeri alabilirken, sayısal modülasyonda modüleli işaret belirli bir aralıkta belirli değerleri alabilir. Sayısal modülasyonda bu değerler 0 ve 1'lerden oluşur. 0 ve 1'lerin sayısı arttıkça işaretin

alabileceği değerlerde artar. Sayısal modülasyon tekniklerinin ise ASK, FSK, PSK, QAM gibi çeşitleri vardır.

Bu tez çalışmasında kullanılacak modülasyon ve demodülasyon için frekans kaydırmalı anahtarlama (FSK) tekniği seçilmiştir. FSK tekniğine ait detaylı bilgi devam eden başlıklarda verilmiştir.

1.5. Frekans Kaydırmalı Anahtarlama Modülasyonu

Frekans kaydırmalı anahtarlama (Frequency Shift Keying) modülasyonunda bilgi işaretinin aldığı değerlere göre farklı frekans değerlerine sahip taşıyıcı işaretler kullanılır. Taşıyıcı işaretlerin genlik ve fazları ise aynı olmaktadır [14]. Bu tez çalışmasında tasarlanmak istenilen modem içerisinde kullanılacak modülasyonu yöntemi olarak FSK'nin bir alt türü olan BFSK (Binary Frequency Shift Keying) modülasyonu kullanılmıştır.

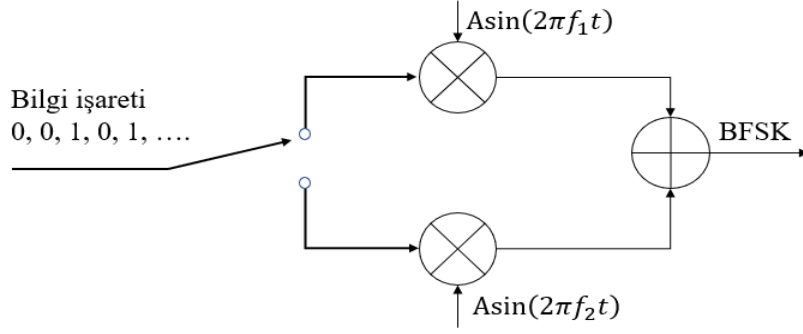
BFSK modülasyonunda adında anlaşılacağı üzere bilgi işaretinin alabileceği değerler 1 ve 0'dır. Bu modülasyon tekniğinde bilgi işaretinin o zamandaki bit değerine göre anahtarlama yapılarak ilgili frekansa sahip taşıyıcı işaret çıkışa iletilir [15]. Genellikle bilgi işaretinin '1' bitine karşılık gelen frekans 'mark' ve bilgi işaretinin '0' bitine karşılık gelen frekans 'space' olarak adlandırılır. Buradan yola çıkarak FSK modülasyonu aşağıdaki eşitlik ile ifade edilebilir.

$$M_i(t) = \begin{cases} A \sin(2\pi f_1 t), & \text{bilgi işareti 1 olursa} \\ A \sin(2\pi f_2 t), & \text{bilgi işareti 0 olursa} \end{cases} \quad (1.1)$$

Eşitlik (1.1)'de görüldüğü üzere taşıyıcı işaretler aynı genlik ve faza sahipken, frekans değerleri farklıdır. Burada f_1 mark frekansını ifade ederken, f_2 space frekansını ifade etmektedir. f_1 ve f_2 frekanslarının orta noktası merkez taşıyıcı frekans f_c olarak isimlendirilir. Dolayısıyla merkez taşıyıcı frekans f_c ;

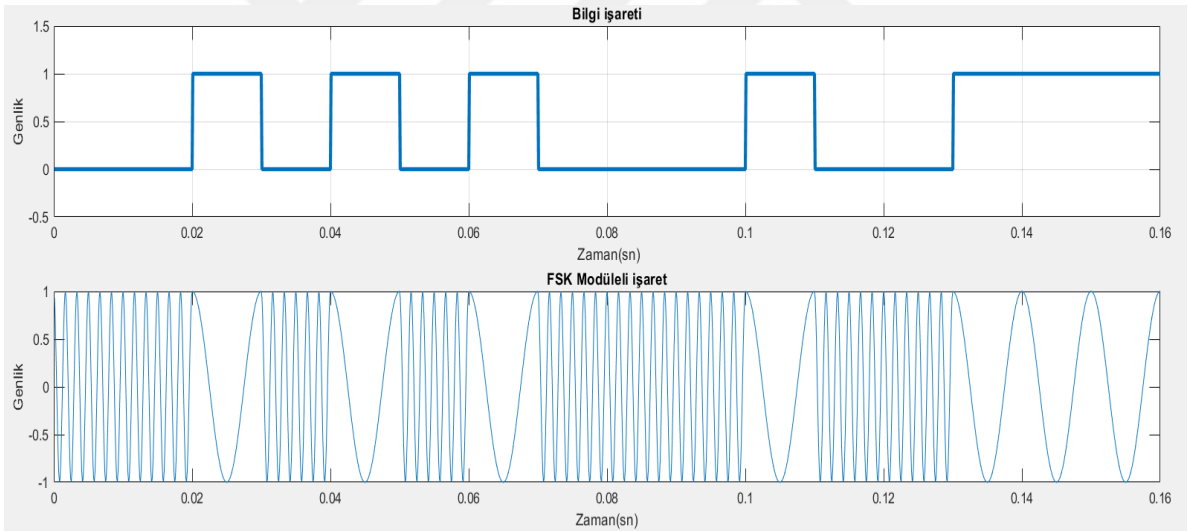
$$f_c = \frac{(f_1 + f_2)}{2} \quad (1.2)$$

eşitliği ile hesaplanır. Bir BFSK modülatörüne ait basit bir blok şeması aşağıdaki şekilde gösterilmiştir.



Şekil 1.1. BFSK Modülatör blok şeması

Şekil (1.1)'de görüldüğü üzere girişe gelen bilgi işaretinin bit değeri ilgili koldaki taşıyıcı işaret ile çarpılır ve toplayıcıdan geçerek BFSK işaretini oluşturur. Örnek bir BFSK modülasyonlu işaret aşağıdaki şekilde gösterilmiştir.

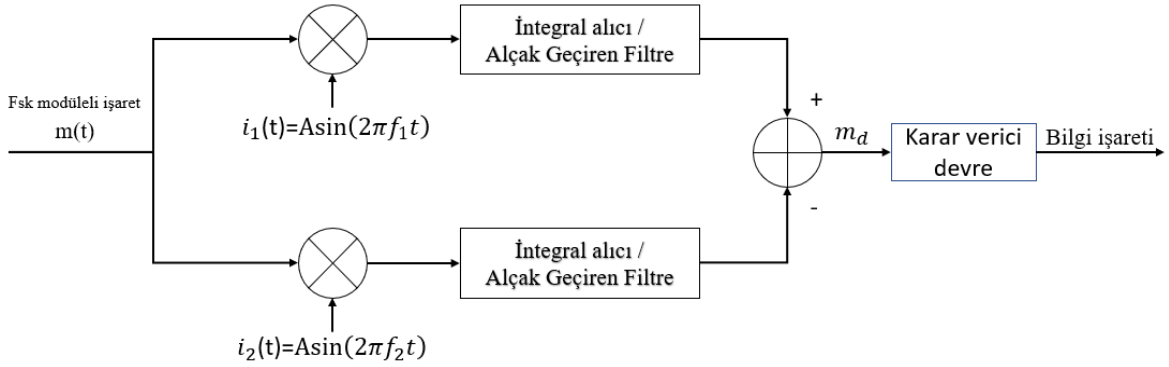


Şekil 1.2. Örnek bir BFSK modülasyonlu işaret

Şekil (1.2)'de görüldüğü gibi bilgi işaret bitinin 1 olduğu durumda daha düşük frekans değerine sahip taşıyıcı işaret iletilirken, bilgi işaret bitinin 0 olduğu durumda daha yüksek frekans değerine sahip taşıyıcı işaret iletilmiştir. Böylece bir BFSK modülasyonlu işaret elde edilmiştir.

1.6. Frekans Kaydırmalı Anahtarlama Demodülasyonu

FSK demodülasyonu; Bir FSK modüleli işaretten tekrar bilgi işaretinin elde edilmesi işlemi olarak tanımlanabilir. Bu tez çalışmasında FSK demodülasyonu kullanıldığından dolayı bu demodülasyon yöntemi ilerleyen başlıklarda detaylı olarak anlatılmıştır. Bir FSK demodülasyonuna ait blok diyagramı aşağıda verilmiştir.



Şekil 1.3. FSK Demodülatör blok diyagramı

Şekil (1.3)'de görülen $m(t)$ demodülatör girişine gelen FSK modüleli işareti, $i_1(t)$ ve $i_2(t)$ modülasyon işleminde kullanılan taşıyıcı işaretleri, m_d ise karar verici devre girişine gelen değeri göstermektedir. FSK demotülatör blok diyagramında, gelen modüleli işaret bilinen taşıyıcı işaretler ile çarpıcılar sayesinde çarpılır ve filtrelerden geçirilir. Elde edilen değerlerin farkı alınarak karar verici devreden geçirilir ve çıkış bilgi işaretinin bit değerine karar verilir [16]. FSK demodülatör blok diyagramında bulunan elemanlar devam eden başlıklarda açıklanmıştır.

1.6.1. Çarpıcı

Çarpıcılar basitçe iletilen FSK modüle edilmiş işareti, modülasyon işleminde kullanılan taşıyıcı işaretler ile ayrı ayrı çarpılması işlemini gerçekleştirir. Çarpıcı girişlerine gelen $m(t)$ işareti çarpılarak çarpıcıların çıkışında;

$$m(t)A\sin(2\pi f_1 t) = m(t)i_1(t) \quad (1.3)$$

$$m(t)A\sin(2\pi f_2 t) = m(t)i_2(t) \quad (1.4)$$

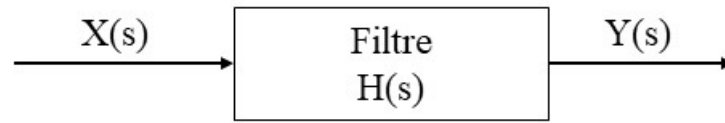
şeklinde iki farklı işaret elde edilir. Elde edilen bu işaretler filtre bloklarının girişlerini oluştururlar.

1.6.2. Filtre

Filtreler haberleşme sistemleri, telefon, sonar gibi sinyal iletimi ve sinyal işleme gerçekleştiren elektronik devrelerde kullanılır. Filtreler istenmeyen işaretleri veya gürültüyü filtrelemek yani ortadan kaldırmak, kullanıldığı uygulamaya göre gerekli frekansları ayırmak veya elde etmek amaçlarıyla kullanılmaktadırlar.

Filtre yapısında direnç, kapasitör, indüktör elemanları bulunduruyorsa pasif filtre, transistör veya op-amp elemanları bulunduruyorsa aktif filtre olarak adlandırılır. Filtreler analog olarak tasarlanabildiği gibi sayısal filtrelerde vardır.

Bir filtre devresi girişine uygulanan bir işareti türüne göre bazı işlemlerden geçirerek çıkışında filtrelenmiş bir işaret üretir. Örnek bir sayısal FIR filtre devresine ait blok gösterimi aşağıda verilmiştir [17].



Şekil 1.4. Örnek bir sayısal FIR filtre yapısı blok gösterimi

Şekil (1.4)'de $X(s)$ filtre devresinin girişindeki işareti, $Y(s)$ filtre devresinin çıkışındaki işareti ve $H(s)$ 'de giriş ve çıkış arasındaki ilişkiyi ifade eden filtrenin transfer fonksiyonunu göstermektedir. Şekilde görüldüğü üzere sayısal FIR filtre çıkışı, girişin bir fonksiyonu şeklindedir ve transfer fonksiyonu $H(s) = Y(s) / X(s)$ olarak ifade edilir.

Filtreler frekans tepkilerine göre bant geçiren, bant durduran, tüm geçiren, alçak geçiren ve yüksek geçiren filtre olarak beş gruba ayrılırlar.

Amaçlanan modem tasarımı sayısal bir tasarım olacağından tez çalışması kapsamında kullanılacak filtrelerin, sayısal ortamda tasarlanması amaçlanmıştır. Sayısal filtreler, analog filtrelere göre bazı avantajlara sahiptirler [18]. Bu avantajları listeleyecek olursak;

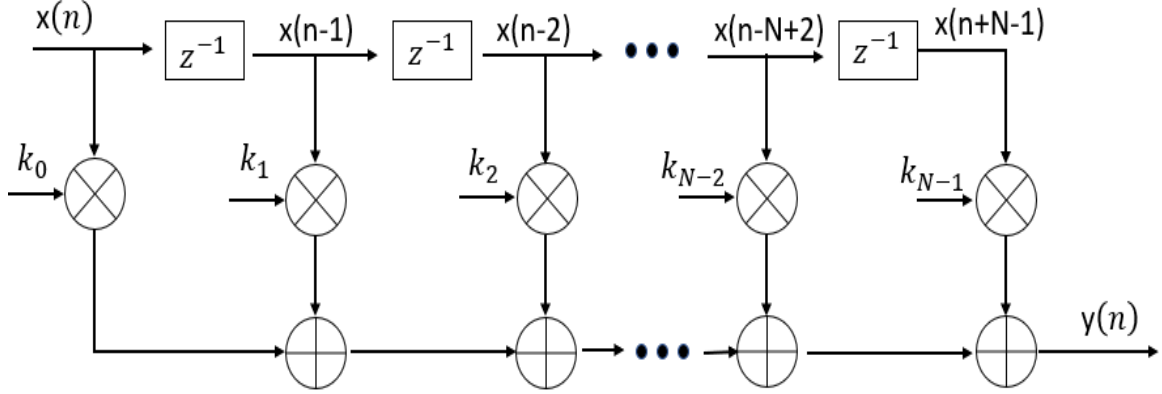
- Sayısal filtreler kodlanarak tasarlandıkları için filtrede değişiklik yapılmak istenildiğinde sadece ilgili kodu değiştirmek yeterli olurken, analog filtrelerde değişiklik yapılmak istenildiğinde filtre devresini değiştirmek gerekmektedir. Buda zaman ve maliyet açısından analog filtreleri sayısal filtrelere göre dezavantajlı hale getirmektedir.
- Sayısal filtreler kodlanarak tasarlandığı için kolayca benzetimi yapıp, test edilebilir.
- Analog filtrelerin çalışma durumları sıcaklık gibi ortam şartlarına bağlıdır ve ortam şartları analog filtrelerin çalışmasını etkileyebilir. Ancak sayısal filtreler ortam şartlarına karşı daha kararlıdır.
- Sayısal filtreler, analog filtrelere göre düşük frekanslı işaretlerde daha iyi ve daha az hata ile çalışırlar.
- Sayısal filtreler işaret işleme yönünden analog filtrelere göre daha fazla yöntemle sahiptirler.

Sayısal filtreler, analog filtrelere göre avantajlarının yanı sıra örneklemeden kaynaklanan işaretin çözünürlüğünün düşük olabilmesi, enerji kaynağı gerektirmesi gibi dezavantajları da vardır.

Sayısal filtrelerin iki çeşidi vardır. Bunlar Finite Impulse Response (FIR) ve Infinite Impulse Response (IIR) olarak isimlendirilir. İsimlerinden de anlaşılacağı gibi FIR filtreler sonlu, IIR filtreler sonsuz elemana sahiptir [19]. Bu tez çalışmasında tasarım da alçak geçiren FIR filtreler tasarlanarak, integral alıcı devre gibi kullanılmıştır.

1.6.2.1. FIR Filtre

FIR filtre yapısı şekil (1.6)'da gösterilmiştir.



Şekil 1.5. FIR Filtre Yapısı

Şekil (1.6)'da görüldüğü üzere FIR filtre yapısı toplayıcı, çarpıcı ve geciktirici elemanlardan oluşmaktadır. Burada $x(n)$ girişi işaretini, $y(n)$ çıkış işaretini, $N-1$ geciktirici eleman sayısını ve filtrenin derecesini belirtir, k ise filtre katsayılarını ifade eder. Filtre girişine gelen $x(n)$ işareti ilk olarak ilgili filtre katsayısı ile çarpılır, sonra geciktirilerek elde edilen $x(n-1)$ işareti bir diğer ilgili filtre katsayısı ile çarpılır. Bu işlem filtre derecesi kadar tekrarlanır. Her çarpım işleminin sonucu toplanarak $y(n)$ çıkışı elde edilir. Burada anlatılanlar aşağıdaki eşitlik ile ifade edilmiştir [13, 19].

$$y(n) = k_0x(n) + k_1x(n-1) + k_2x(n-2) + \dots + k_{N-2}x(n-N+2) + k_{N-1}x(n+N-2) \quad (1.5)$$

Eşitlik (1.10) denkleminin genel ifadesini yazılırsa

$$y(n) = \sum_{i=0}^{N-1} k_i x(n-i) \quad (1.6)$$

denklemini elde edilir.

1.6.3. Karar Verici Devre

Demodülatör girişine gelen modüle edilmiş işaret çarpıcı ve filtrelerden geçtikten sonra elde edilen değerler bir toplayıcıdan geçerek karar verici devresinin girişine gelir. Gelen değere göre karar verici devre çıkış bit değerinin ne olacağına karar verir. Burada karar aşamasında karar verici devrede belirlenen eşik değeri önemlidir. Devre girişine gelen değer eşik değerinden yüksek ise çıkış biti 1, düşük ise 0 olarak belirlenir. Bu sebeple karar verici devrenin eşik değerinin belirlenmesi önemlidir.

Eşik değeri belirlemede karar verici devresinin girişine gelecek işaretlerin birbirleri ile olan benzerlikleri yani özilintisi dikkate alınır. İki farklı işaretin birbirlerine olan benzerlikleri ilinti(korelasyon) olarak adlandırılır. Aynı işaretin farklı zaman durumlarındaki benzerlik durumu ise özilinti olarak adlandırılır [20]. Özilinti fonksiyonu

$$R_i(\tau) = \langle i(t)i(t+\tau) \rangle = \lim_{T \rightarrow \infty} \frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} i(t) i(t+\tau) dt \quad (1.7)$$

olarak ifade edilir. Şekil (1.3)'te gösterilen demodülatör blok diyagramı üzerinde toplayıcı girişine gelen işaretler

$$m(t) i_1(t) - m(t) i_2(t) = m(t)[i_1(t) - i_2(t)] \quad (1.8)$$

Bu eşitlikten yola çıkarak $i_1(t) - i_2(t)$ ifadesini $i(t)$ referans işareti olarak kabul edilebilmektedir. Bu durumda karar verici devrenin girişine gelen değer

$$m_{d2} = \int i_2(t)i(t)dt = \int i_1(t)(i_1(t)-i_2(t))dt , 0 \text{ alındığında} \quad (1.9)$$

$$m_{d1} = \int i_1(t)i(t)dt = \int i_1(t)(i_1(t)-i_2(t))dt , 1 \text{ alındığında} \quad (1.10)$$

şeklinde olacaktır. Eşitlik (1.11) ve eşitlik (1.12)'den yararlanarak bir taşıyıcı işaretin aynı frekanstaki referans işareti ile özilinti değeri ve bir taşıyıcı işaretin diğer frekanstaki referans işareti ile olan çapraz-ilinti değeri sırasıyla

$$R_{22} = R_{11} = \int i_0(t)i_0(t) dt = \int i_1(t)i_1(t) dt \quad (1.11)$$

$$R_{12} = R_{21} = \int i_0(t)i_1(t) dt \quad (1.12)$$

şeklinde ifade edilebilir. Buradan yola çıkarak karar devresi girişinde

$$m_{d0} = R_{21} - R_{22} , 0 \text{ alındığında} \quad (1.13)$$

$$m_{d1} = R_{11} - R_{12} = -(R_{21} - R_{11}) , 1 \text{ alındığında} \quad (1.14)$$

elde edilmektedir. Eşitlik (1.15) ve eşitlik (1.16)'dan yola çıkarak $m_{d1} = -m_{d0}$ olduğu gözükmemektedir. Dolayısıyla karar verici devre için ideal eşik değeri sıfır olarak kabul edilebilir [20]. Böylece karar verici devrenin girişindeki değerin sıfırdan büyük olması durumunda çıkış biti olarak "1", sıfırdan küçük olması durumunda çıkış biti olarak "0" karar verilir.

1.7. PLC

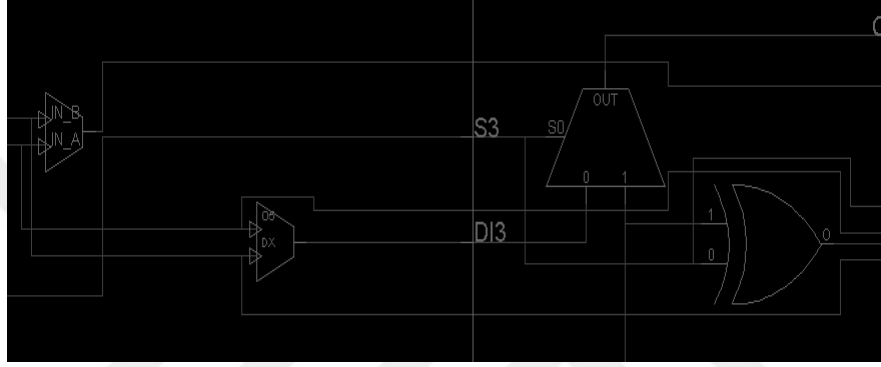
Enerji hattı haberleşmesi, mevcut elektrik şebeke altyapısının veri iletimi için kullanıldığı, otomasyondan internet erişimine kadar birçok alanda uygulaması bulunan önemli bir haberleşme alternatifidir. Enerji hattı haberleşmesinde işaret, enerji hattı üzerinde iletilerek veri iletimi gerçekleştirilir. Enerji hatlarının düzensiz ve zamanla değişen dinamik bir karakteristiğe sahip olması, PLC haberleşmesinde kullanılacak modülatör tasarımının esnek ve adaptif yapıda olmasını gerektirir. PLC haberleşmesi orta frekans (100-500 kHz), yüksek frekans (>1 MHz), aşırı yüksek frekans (>100 MHz) olarak sınıflandırılabilir [21, 22, 23,24]. Bu tez çalışmasında PLC haberleşmesi için şehir içi kullanımlara da uygun olan orta frekans bandı (100-500 kHz) tercih edilmiştir.

1.8. FPGA

FPGA (Field Programmable Gate Array) yani Alanda Programlanabilir Kapı Dizileri elektronik devrelerdir. Yapısında mantık blokları, mantık bloklarını çevreleyen giriş-çıkış blokları ve bu blokların birbirleri ile iletişim kurmasını sağlayan ara bağlantılar bulunur. Ek Şekil (1) ve (2)'de mantık blokları ve ara bağlantıları gösterilmiştir. FPGA yapısında bulunan mantık blokları istenilen uygulamaya göre yeniden programlanabilir ve programlanan bu bloklar ara bağlantılar sayesinde birbirleri ile iletişim kurarlar. FPGA

üretim aşamasından sonra da uygulama ve isteğe bağlı olarak istenilen şekilde programlanabilir olmasından dolayı çok geniş ve esnek kullanım imkânı sunar.

FPGA’i diğer mikro denetleyicilerden ayıran en önemli özellikler yüksek hız ve paralel işlem yapabilme kapasitesidir. Mikro denetleyiciler genellikle yapılmak istenilen işlemleri belirli bir sıra ile gerçekleştirmektedirler. Bu durum mikro denetleyicilerin kapasitesini sınırlamaktadır. Ancak FPGA paralel işlem yapma kapasitesi ile aynı anda birden fazla işlemi eş zamanlı olarak gerçekleştirebilir [25, 26].



Şekil 1.6. FPGA Mantık bloğu iç yapısı

1.9. Vivado

Vivado, Xilinx firmasına ait, FPGA devrelerini yapılandırmak için kullanılan donanım tanımlama dillerinin kodlanması, kontrol edilmesi ve test edilmesine imkân veren bir ara yüz programıdır [27]. Bu tez çalışmasında oluşturulan tasarım ve kodlamalar bu ara yüz kullanılarak gerçekleştirilmiştir.

1.10. VHDL

FPGA gibi elektronik devrelerinin yapılandırılmasında kullanılan kodlama dillerine donanım tanımlama dili denir [28]. VHDL’de bir donanım tanımlama dilidir ve bu tez çalışmasında yapılan kodlamalarda bu dil kullanılmıştır.

Tez çalışmasında kullanılan VHDL yapıları ve kodlamalar devam eden başlıklarda açıklanmıştır. VHDL dili ile yapılan tasarımlar temel bölümler, veri nesnelere ve atama söz dizimleri başlıkları altında anlatılabilir.

1.10.1. VHDL Genel Yapısı

Bir VHDL kodlamasında üç temel bölüm vardır. Bunlar kütüphane(library), varlık (entity) ve mimari (architecture) kısımlarıdır.

- Kütüphane kısmı, diğer kodlama dillerinde de olduğu gibi kodlama içerisinde kullanılacak ifadelerin derleyici tarafından algılanabilmesi için gerekli tanımların bulunduğu arşivlerin tanımlandığı kısımdır ve aşağıda gösterildiği gibi tanımlanır.

```
Library IEEE;
use ieee.math_real.all;
```

Burada IEEE kütüphanesini ve bu kütüphane içerisinde bulunan math_real paketinin kullanılacağı tanımlanmıştır.

- Varlık kısmı, kodlamada kullanılan giriş çıkış portlarının tanımlandığı kısımdır. Bu kısımda ifadeler port tanımlaması altında tanımlanır ve ifadelerin giriş ifadesi, çıkış ifadesi olması durumları kodlanır. Aşağıda data isimli 32bitlik bir ifade std_logic_vector tipinde giriş olarak tanımlanmıştır.

```
Entity modülator is
port (
data : in std_logic_vector(0 to 31);
);
end modülator;
```

- Mimari kısmı ise VHDL bölümlerinin en önemli kısmıdır. Burada oluşturulan tasarımın, ne yapacağı ve nasıl yapacağı kısaca tasarımın davranışı tanımlanmaktadır. Mimari kısmı yapısında iki bölüm bulunmaktadır. İlk bölüm tanımlamaların yapıldığı tanımlama bölümüdür. İkinci bölümde ise atamaların ve işlemlerin gerçekleştiği mimari bileşenler bölümüdür.

```
Architecture behavioral of modülator is
signal x: integer := 32 ;
```

```
begin  
out_cikis <= x;  
end behavioral;
```

Tanımlama bölümü “is” ile “begin” ifadesi arasındır. Bileşen bölümü ise “begin” ifadesi ile başlar. Yukarıda örnek bir mimari kısmı kodlama şekli gösterilmiştir. Tanımlama kısmı altında bir x sinyaline sabit bir değer tanımlanmıştır. Bileşen kısmında ise out_cikis isimli bir değişkene x değeri ataması yapılmıştır.

1.10.2. Veri Nesneleri ve Tipleri

VHDL dilinde değişken değerler için signal ve variable, sabit değerler için constant veri nesneleri kullanılır. Signal tanımı varlık, mimari, paket ve blok bölümlerinde tanımlanabilir. Variable tanımı process, function, procedure bölümlerinde tanımlanabilir. Constant tanımı ise kodlamanın herhangi bir bölümde tanımlanabilir. Bu veri nesnelere ait bazı tanımlamalar örneklerle gösterilmiştir.

```
Signal dizi_derinligi : std_logic_vector (31 downto 0);  
variable sayıcı: bit_vector (0 to 3);  
constant x : integer := 1;
```

Yukarıda veri nesneleri ve tiplerine ait bazı örnekler verilmiştir. Signal, variable ve constant veri nesnelerini göstermektedir. Std_logic_vector, bit_vector ve integer ise veri tiplerini göstermektedir. Veri nesnelerinin tanımlandığı VHDL bölümüne göre tanımlama şekilleri değişebilir. Tüm tasarım içerisinde yapılan tanımlamalar bu durumlar dikkate alınarak yapılmalıdır.

1.10.3. Sıralı Atama Döngüleri

Sıralı atamalar VHDL yapısında mimarinin altında process içinde tanımlanmalıdırlar. Bir process yapısı aşağıdaki gibi olmalıdır.

```
Process(clk)
variable tanımlama
if sözdizimi
for sözdimi
end process;
```

Process'lerin aktif olması için harici bir tetiklemeye ihtiyaçları vardır. Örnekte parantez içerisinde yer alan "clk" ifadesi tetikleme işaretidir.

1.10.4. Sıralı Komutlar

- If komutu, tanımlanan koşulların sağlanması durumuna göre tanımlanan ifadelerin gerçekleştiren ya da hiçbir işlem yapmayan söz dizimleridir.

```
if fark < 0 then
output<= 0 ;
else
output<= 1;
end if;
```

Burada gösterilen if söz diziminde, fark değişkeninin değeri 0'dan küçükse output değişkenine 0 değerini, diğer durumlarda output değişkenine 1 değerini atamaktadır.

- for sözdizimi, belirtilen koşulun belli değerlerine ulaşana kadar aynı işlemi tekrar tekrar gerçekleştiren döngü yapısıdır.

```
for k in 0 to 7 loop
toplama = toplama+1;
end loop;
```

Burada k deęeri 0 deęerinden 7 deęeri alana kadar her defasında dng tekrar edilir. Her dngde toplam deęerine 1 eklenerek, yine toplam deęerine atanır.

Tezin buradan sonraki kısmında anlatılan teorik bilgiler ışığında yapılan alıřmalar anlatılmaktadır. Yapılan alıřmalarda FSK modlatr ve demodlatr tasarımı yapılarak bir FSK modem tasarımı gerekleřtirilmiř ve benzetimi yapılmıřtır.



2. YAPILAN ÇALIŞMALAR VE BULGULAR

2.1. Giriş

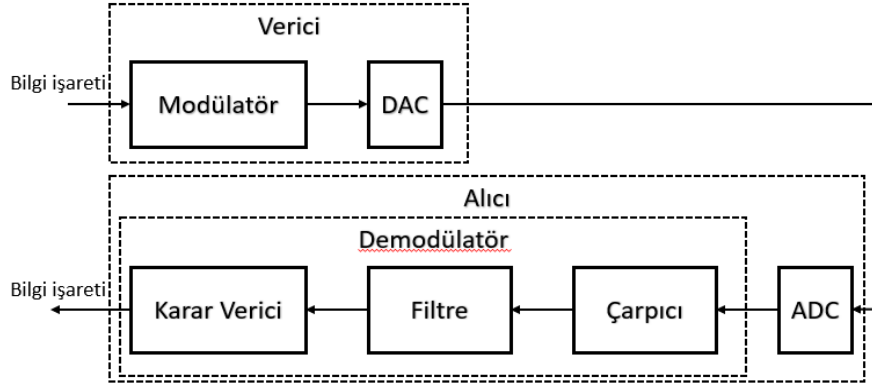
Bu tez çalışmasında yapılan çalışmalar dört kısımdan oluşmaktadır. İlk kısımda FSK modülasyonunda kullanılacak farklı frekansa sahip iki taşıyıcı sinyal MATLAB yardımı ile oluşturularak, örneklenmiştir.

İkinci kısımda FSK modülasyonunu gerçekleştirecek modülatör tasarımı ve benzetimi yapılmıştır. Burada bilgi işareti olarak kullanacağımız rastgele bir bit dizisinin her bir bitine karşılık gelen ilgili frekans değeri anahtarlama yapılarak modülasyon işlemi gerçekleştirilmiştir. Üçüncü kısımda ise modüle edilmiş işareten tekrar bilgi işaretini elde edecek demodülatör tasarımı ve benzetimi gerçekleştirilmiştir. Burada demodülatör girişine gelen modüle edilmiş işaret önce çarpıcıdan, ardından filtrelerden geçirilmiştir ve karar verici devre ile çıkış bitinin tahmini yapılmıştır. Son olarak ise gerçekleştirilen modülatör ve demodülatör tasarımı birlikte kullanılarak bir modem tasarımı gerçekleştirilmiştir.

2.2. Tasarlanan Modem Sistemi Genel Yapısı

Yapılan çalışmada iletilmek istenilen bilgi işareti için sırasıyla; Modülatör içerisinde o anki bilgi işareti bit değerine göre ilgili taşıyıcı sinüs işaretinin örnekleme değerleri yazdırılmaya başlanır. Her bir örnekleme değeri 8 bit ile ifade edilir. İlgili taşıyıcı işaret yazdırıldıktan sonra bir sonraki bilgi işaret bit değeri okunarak modülatör içerisinde bu işlemler tekrarlanır.

Yazdırılan her 8 bitlik örnekleme değeri (uygulamada) DAC girişine verilerek analog gerilim değerlerine dönüştürülür ve enerji iletim hattına gönderilir. Alıcı kısımda gelen analog gerilim değerleri yeniden 8 bitlik sayısal işarete dönüştürülerek demodülatör girişine verilir. Demodülasyon işlemler sonucunda bilgi işareti tekrar elde edilir. Bu sistemin blok şema ile gösterimi şekilde verilmiştir.



Şekil 2.1. Tasarlanan modem sistemi blok diyagramı

Şekil (2.1)'de tasarımın genel yapısı görülmektedir. Burada modülâtör girişine gelen sayısal bilgi işareti ilgili taşıyıcı işaretler kullanılarak modüle edilir. Elde edilen sayısal modüleli işaret DAC (digital to analog converter) kullanılarak analog forma dönüştürülür ve iletim hattına gönderilir. İletim hattından gelen analog işaret ADC (analog to digital converter) kullanılarak sayısal forma dönüştürülür. Sayısal formdaki işaretler demodülâtör içinden geçerek bilgi işaret geri elde edilir.

Yapılan çalışmada ise modülâtör ve demodülâtör yapıları VHDL dili ile kodlanarak sayısal olarak tasarlanmıştır. DAC ve ADC uygulama aşamasında kullanılacağından sayısal tasarım yapılan bu çalışmada oluşturulmamıştır. Oluşturulan tasarımın Vivado ortamında benzetimi gerçekleştirilerek modülasyon ve demodülasyon işlemlerinin sonuçları test edilmiştir.

2.3. MATLAB ile Taşıyıcı İşaretlerin Üretilmesi ve Örneklenmesi

Tez çalışmasında kullanacağımız FPGA tamamen sayısal bir yapıya sahiptir ve VHDL yapısında hazır sinüzoidal işaret fonksiyonları bulunmamaktadır. VHDL dili ile sinüzoidal işaretler oluşturmak için kullanılan bazı yöntemler olsa da bu yöntemler fazladan FPGA mantık blokları ve ara bağlantılar dolayısıyla fazla kaynak kullanmaktadırlar. Bu sebeple daha uygun ve pratik bir yöntem olarak, FSK modülasyonun yapılabilmesi için gereken iki farklı frekans değerine sahip taşıyıcı işaret, Matlab uygulaması kullanılarak oluşturularak Vivado ortamına aktarılmıştır.

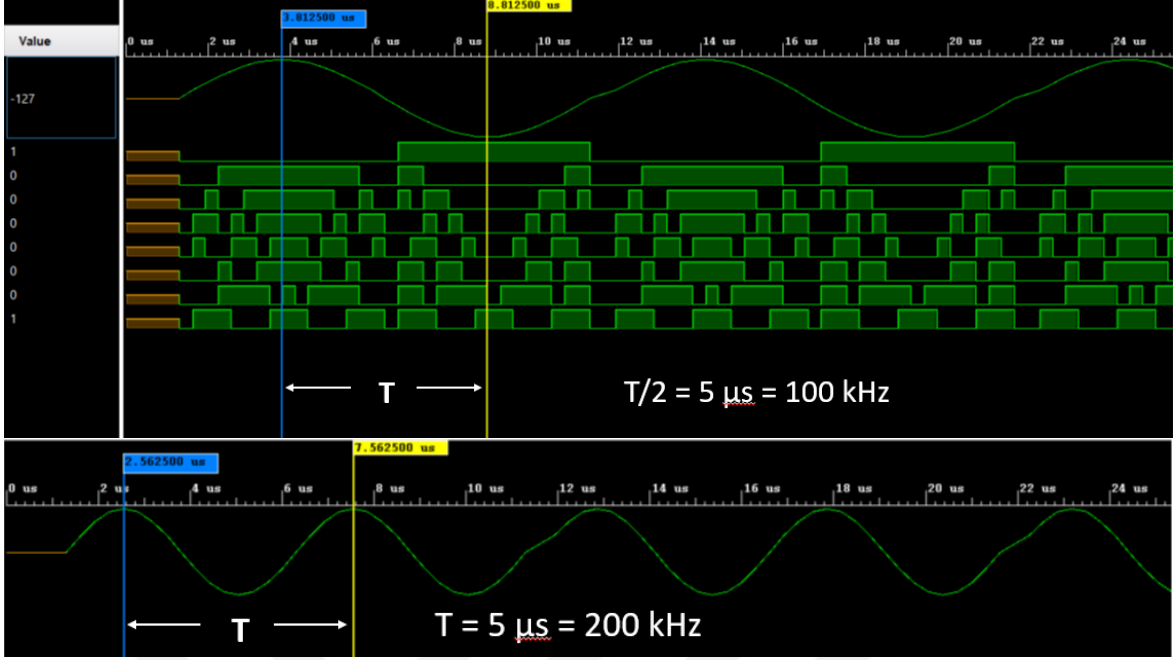
Matlab kullanılarak oluşturulan sinüzoidal işaretlerin sayısal işaret işleme süreçlerinde kullanılabilmesi için örneklenmesi gerekmektedir. Tasarım içerisinde taşıyıcı

işaretler olarak kullanılacak sinüs işaretleri matlab kullanılarak oluşturulmuştur. Taşıyıcı sinüs işaretlerinin elde edilmesi için matlab üzerinde bulunan sinüzoidal işaret oluşturma komutu kullanılarak referans olarak 1 Hz frekans değerine sahip bir sinüs işareti elde edilmiştir. Elde edilen sinüs işareti üzerinden 32 örnek alınmıştır. Burada örnekleme sayısının daha az olması durumunda elde edilecek işaret tam olarak sinüs işaretine benzemezken, daha fazla örnek alınması durumunda tasarım içerisinde fazladan işlem yüküne sebep olmaktadır. Tasarım içerisinde kullanılacak FSK modüli işaret 8 bitlik bir işaret olacağından oluşturulan sinüs işaretinin örnekleme değerleri -128 ile 127 arası değerler almıştır. Elde edilen her bir örnekleme değeri VHDL kod içerisinde her bir saat darbesinde sırası ile yazdırılarak VHDL ortamında taşıyıcı işaretler elde edilmiştir. Burada saat periyodunu tasarımımıza uygun şekilde seçerek taşıyıcı işaretlerimiz için istenilen frekans değerleri elde edilmiştir. Oluşturulan taşıyıcı işaretlerin örnekleme değerleri aşağıdaki şekilde verilmiştir.

sinüs_1	0	25	49	71	90	106	118	125	127	125	118	106	90	71	49	25
	0	-25	-49	-71	-90	-106	-118	-125	-127	-125	-118	-106	-90	-71	-49	-25
sinüs_2	0	49	90	118	127	118	90	49	0	-49	-90	-118	-127	-118	-90	-49
	0	49	90	118	127	118	90	49	0	-49	-90	-118	-127	-118	-90	-49

Şekil 2.2. Sinüs örnekleme değerleri

Şekil (2.2)'de sinüs işaretlerinin örnekleme değerleri görülmektedir. Elde edilen örnekleme değerlerine göre vivado ortamında gerçekleştirilen benzetim sonucu elde edilen taşıyıcı sinüs işaretleri aşağıdaki şekilde gösterilmiştir.



Şekil 2.3. Oluşturulan Sinüs İşaretleri

Şekil (2.3)'te oluşturulan iki farklı frekans değerine sahip sinüzoidal işaretler görülmektedir. 100 kHz'lik sinüs işareti üzerinden görüldüğü gibi her bir örnekleme değeri 8 bitten oluşmaktadır. Benzetim çalışmalarında işaretlerin farklı frekans değerlerine sahip olduğunun daha belirgin anlaşılabilmesi için mark ve space işaretleri arasında ilk olarak 1:2'lik bir oran tercih edilmiş, daha sonra farklı frekans oranlarında da denemeler yapılmıştır. Bu tasarım çalışmasında hedeflenen temel frekans değeri 100 kHz olduğundan kullanılan oran benzetim sürecinde 100 kHz ve 200 kHz frekans değerlerine karşılık gelmektedir. Daha sonra space frekansı olarak 150, 120 ve 110 kHz değerleri de kullanılmıştır.

Modülör tasarım kodu içerisinde ise taşıyıcı işaretler aşağıda görüldüğü şekilde birer dizi olarak tanımlanmıştır.

Type sine_orn_deger is array (0 to 31) of integer;

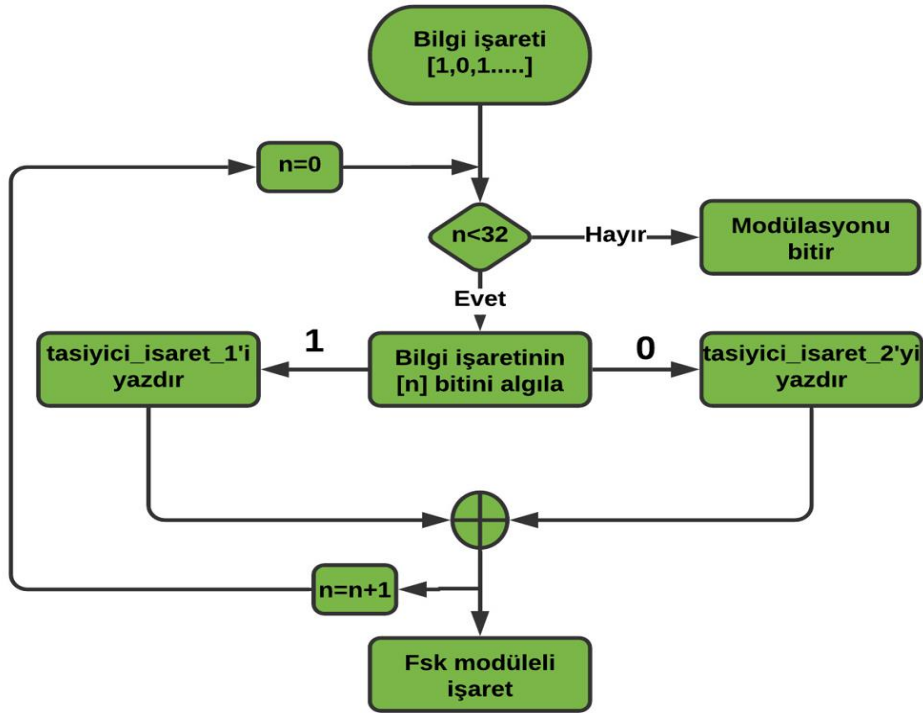
signal taşıyıcı_isaret_1 : sine_degerleri := (0,49,90,118,127,118,90,49,0,-49,-90,-118,-127,-118,-90,-49,0,49,90,118,127,118,90,49,0,-49,-90,-118,-127,-118,-90,-49);

signal taşıyıcı_isaret_2 : sine_degerleri := (0,49,90,118,127,118,90,49,0,-49,-90,-118,-127,-118,-90,-49,0,49,90,118,127,118,90,49,0,-49,-90,-118,-127,-118,-90,-49);

2.4. FSK Modülâtör Tasarımı

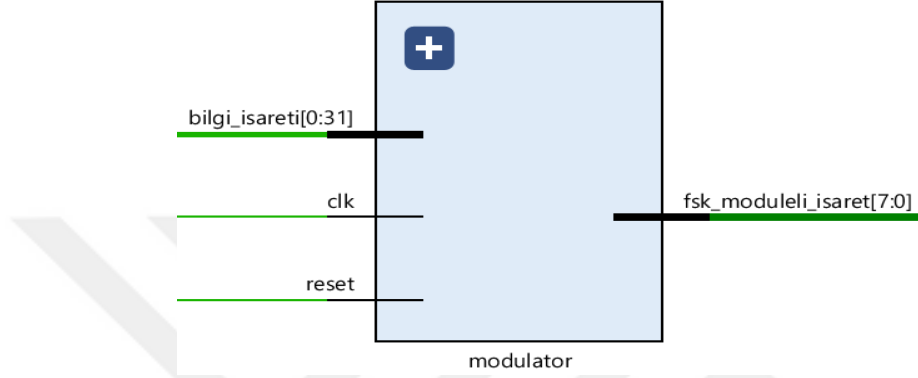
Geleneksel yöntemlerde bir voltaj kontrollü osilatör yardımı ile farklı frekanslarda iki taşıyıcı işaret üretilir. Üretilen bu taşıyıcı işaretler bir karar devresi yardımıyla bilgi işaretinin ilgili bitinin o anki bit değerine göre anahtarlanarak modüle edilmiş işaret elde edilir. Bu sayede bilgi işareti iletme uygun hale getirilmiş olunur. Bu tez çalışmasında ise modülasyon işlemi sırasında gerçekleştirilen bu fiziksel işlemler VHDL dili yardımıyla kodlama yapılarak sayısal ortamda gerçekleştirilmiştir.

Burada kodlama içerisinde öncelikle rastgele 32-bit uzunluğunda bir bilgi işareti belirlenmiştir. Ardından anahtarlama işleminin gerçekleştirileceği kodlama kısmında ilk olarak bilgi işaretinin ilk biti okunarak bit değerini 0 ya da 1 bitlerinden hangisi olduğu kontrol edilir. Bit değerinin "1" olması durumundan daha önce oluşturulmuş ve tanımlanmış taşıyıcı işaretlerden mark olarak adlandırılan frekans değerine sahip sinüs işareti modülâtör çıkışına yazdırılır. Bit değerinin "0" olması durumunda ise space olarak adlandırılan frekans değerine sahip sinüs işareti modülâtör çıkışına yazdırılır. Bu işlem bilgi işaretinin her biti için tekrar edilir. Modülasyon işlemi sonucunda bilgi işaretinin her bir bitine karşılık gelen taşıyıcı sinüs işaretlerinden oluşan modüle edilmiş işaret elde edilir.



Şekil 2.4. FSK Modülâtör Akış Şeması

Şekil (2.4)'te FSK modülatör tasarımının akış şeması verilmiştir. Şekilde görüldüğü gibi modülatör kodlaması içerisinde bilgi işaretinin bit değeri okunarak hangi taşıyıcı işaretin yazdırılacağına karar verilir. Karar verilen işaret bilgi işaretinin bit durumuna karşılık gelen FSK modüleli işareti oluşturur. Ardından bilgi işaretinin diğer biti okunarak aynı işlemler tekrar edilir ve FSK modüleli işaret elde edilir.

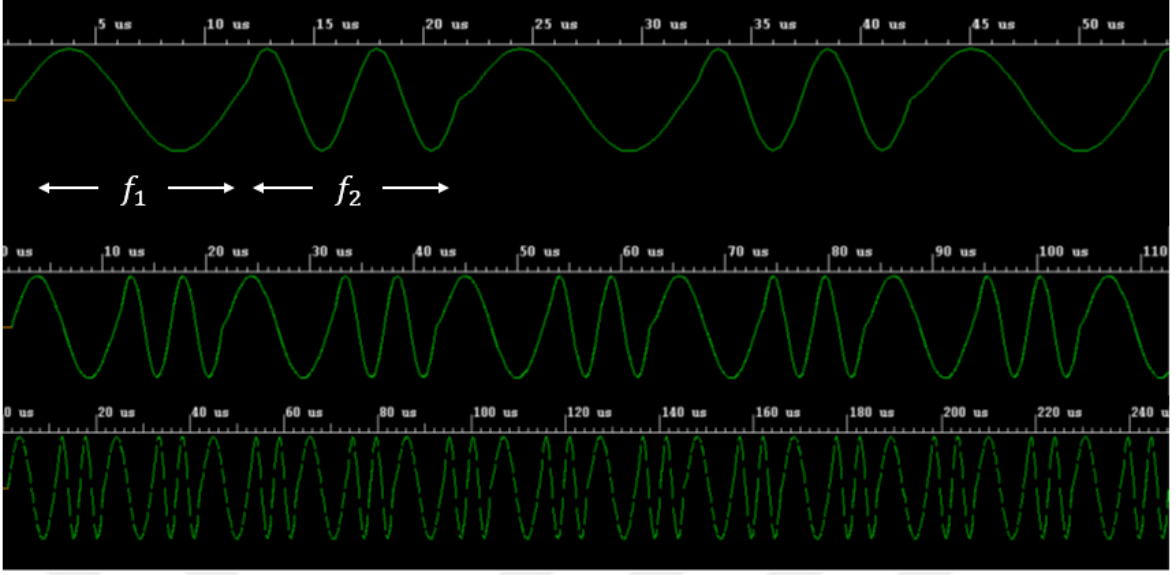


Şekil 2.5. FSK Modülatör bloğu

Şekil (2.5)'te görüldüğü üzere blok girişine 32 bit uzunluğunda bilgi işareti uygulanmıştır. Blok çıkışında ise taşıyıcı işaretlerin her bir örnekleme değeri 8 bitlik şekilde elde edilmiştir.

2.5. FSK Modülatör Benzetimi

FSK modülatör blok çıkışında elde edilen değerler arka arkaya yazdırılarak FSK modüleli işaretin elde edilmesi amaçlanmıştır. Dolayısıyla modülatörün benzetimi yapılarak çıkışta görülmesi gereken modüle edilmiş işaretin elde edilip edilmediği test edilmiştir.

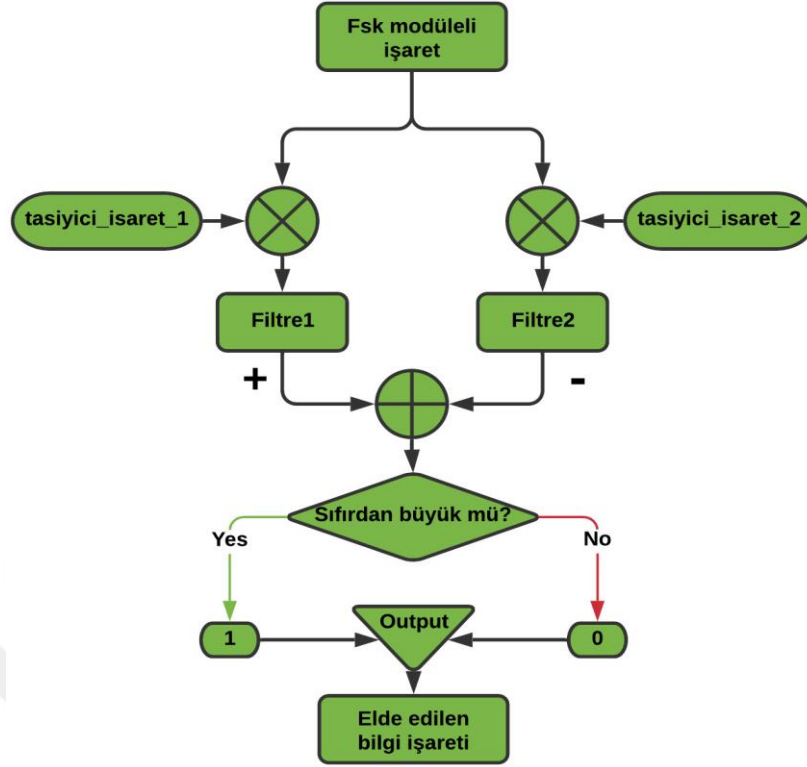


Şekil 2.6. FSK Modülâtör benzetimi

Şekil (2.6)'da f_1 ve f_2 frekans değeri mark ve space frekanslarını ifade etmektedir. Şekilde görüldüğü üzere ilgili taşıyıcı işaretler bilgi işaretinin bit değerine göre sırayla yazdırılmıştır ve FSK modüleli işaret elde edilmiştir.

2.6. FSK Demodülâtör Tasarımı

Demodülasyon işleminde, modüle edilmiş FSK işareti ilk olarak her iki taşıyıcı sinyal ile bir çarpıcı aracılığı ile ayrı ayrı çarpılır. Çarpma işleminin sonucunda iki farklı işaret elde edilir. Daha sonra bu iki işaret iki farklı alçak geçiren filtreden geçirilir. Her iki alçak geçiren filtre çıkışı ise bir karar verici devreye sokulur. Karar verici devrede, filtre çıkışlarındaki işaretler karşılaştırılarak çıkışında üretilecek bilgi işaret bitine karar verilir. Böylece gelen FSK işareti işlenerek demodülâtör çıkışında bilgi işareti tekrar elde edilir.



Şekil 2.7. FSK Demodülatör akış şeması

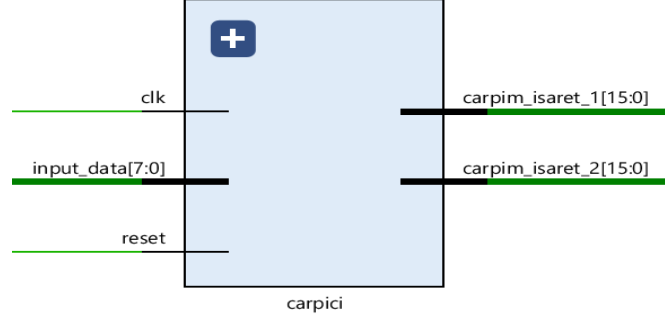
Şekil (2.7)'de FSK demodülatör tasarımının akış şeması verilmiştir. Şekilde görüldüğü gibi gelen FSK modüleli işaret, taşıyıcı işaretler ile çarpılarak filtrelere gönderilir. Filtre çıkışlarının farkları alınarak karar verici devre girişine gelir. Karar verici devre elde edilen fark değerinin sıfırdan büyük veya küçük olma durumuna göre çıkış bitinin 0 ya da 1 olacağına karar verir.

Bu bağlamda gerçekleştirilen demodülatör tasarımı üç aşamada gerçekleştirilmiştir. İlk olarak çarpma işlemlerinin gerçekleştirileceği çarpma bloğu kodlanmıştır. İkinci aşamada ise alçak geçiren filtre blokları kodlanmıştır. Son aşamada ise bir karar verici devre bloğu tasarlanmıştır.

2.6.1. Çarpıcı Bloğu Tasarımı

Bu blok içerisinde, bloğun girişini oluşturan modüle edilmiş FSK işareti daha önceden örneklenen iki taşıyıcı sinyal ile ayrı ayrı çarpılarak blok çıkışında iki farklı işaretin elde edilmesi amaçlanmıştır.

Bilindiği üzere ikili sayı sistemlerinde N bitlik işaret ile M bitlik işaretin çarpım sonucu N+M bitlik bir işaret elde edilmektedir. Aşağıda çarpıcı bloğuna ait şekil verilmiştir.

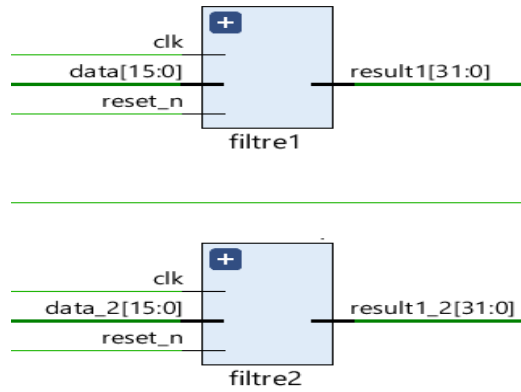


Şekil 2.8. FSK Demodülatör çarpıcı bloğu

Şekil (2.8)'te görüldüğü üzere çarpıcı bloğun girişini oluşturan 8 bitlik `input_data` değerleri elde edilen FSK modüleli işareti temsil etmektedir. Taşıyıcı işaretlerin her bir örnek değeri 8 bit uzunluğa sahiptir. Çarpım bloğu içerisinde `input_data` ve taşıyıcı işaretlerin çarpılması ile blok çıkışında 16 bit uzunlukta iki adet çarpım işareti elde edilmiştir. Elde edilen bu işaretler filtre bloklarının girişlerini oluşturmaktadırlar.

2.6.2. Filtre Bloğu Tasarımı

Filtre elemanları için, iki adet alçak geçiren FIR filtre tasarımı yapılmıştır. Bu filtreler birer integral alıcı devre gibi davranmaktadır. Her filtre, girişine gelen ilgili işareti filtreleme işleminden geçirerek karar verici devre bloğunun girişlerini oluşturmaktadır.



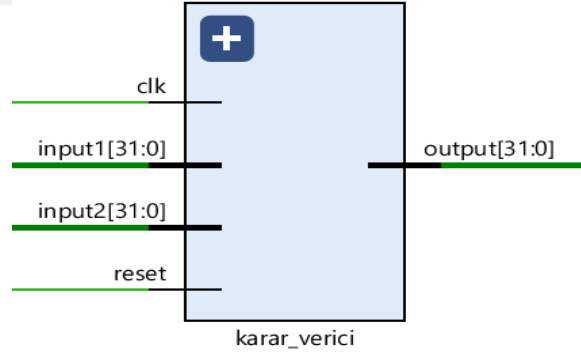
Şekil 2.9. FSK Demodülatör filtre blokları

Şekil (2.9)'da filtre bloklarının girişlerine 16 bit uzunluğunda çarpıcı bloğunda elde edilen çarpım işaretleri uygulanmaktadır. Filtre bloklarının çıkışında ise 32 bit uzunluğunda `std_logic_vector` tipinde sonuçlar elde edilmektedir. Bu sonuçlar karar verici devre bloğunun girişlerini oluşturmaktadır.

2.6.3. Karar Verici Devre Bloğu Tasarımı

Demodülatör tasarımının bu kısmına kadar modüle edilmiş FSK işareti ilk olarak çarpma bloğu içerisinde taşıyıcı işaretler ile çarpılarak iki farklı işaret elde edilmiştir. Ardından bu iki işaret fir filtre bloklarının girişlerine verilerek filtreleme işlemi yapılmış ve filtre bloklarının çıkışlarında 32-bitlik işaretler elde edilmiştir.

Elde edilmiş olan bu 32-bitlik işaretler karar verici devre bloğunun girişlerini oluşturmaktadır. Blok içerisinde giriş işaretlerinin durumları karşılaştırılarak bilgi işaretinin o anki bit değeri "0" ya da "1" olarak belirlenerek blok çıkışına verilmiştir. Blok çıkışı 32-bit değerine sahip olup, iletilmek istenen bilgi işaretini temsil etmektedir.

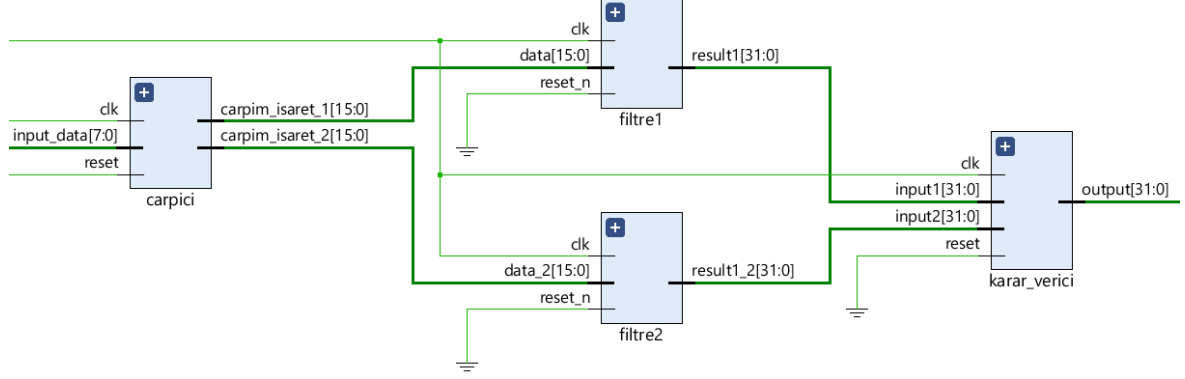


Şekil 2.10. FSK Demodülatör karar verici devre bloğu

2.6.4. FSK Demodülatör Bloğu Genel Görünümü

Demodülatör tasarımı kısmında yer alan çarpma bloğu, filtre blokları ve karar verici devre bloğunun ayrı ayrı tasarlanmasının ardından bu bloklarının birbirleri ile olan bağlantıları, kod içerisinde yer alan `top_module` altında tanımlanarak bu blokların birbirleri

iletişim kurması sağlanmıştır. Aşağıdaki şekilde demodülatör kısmının genel görünümü yer almaktadır.

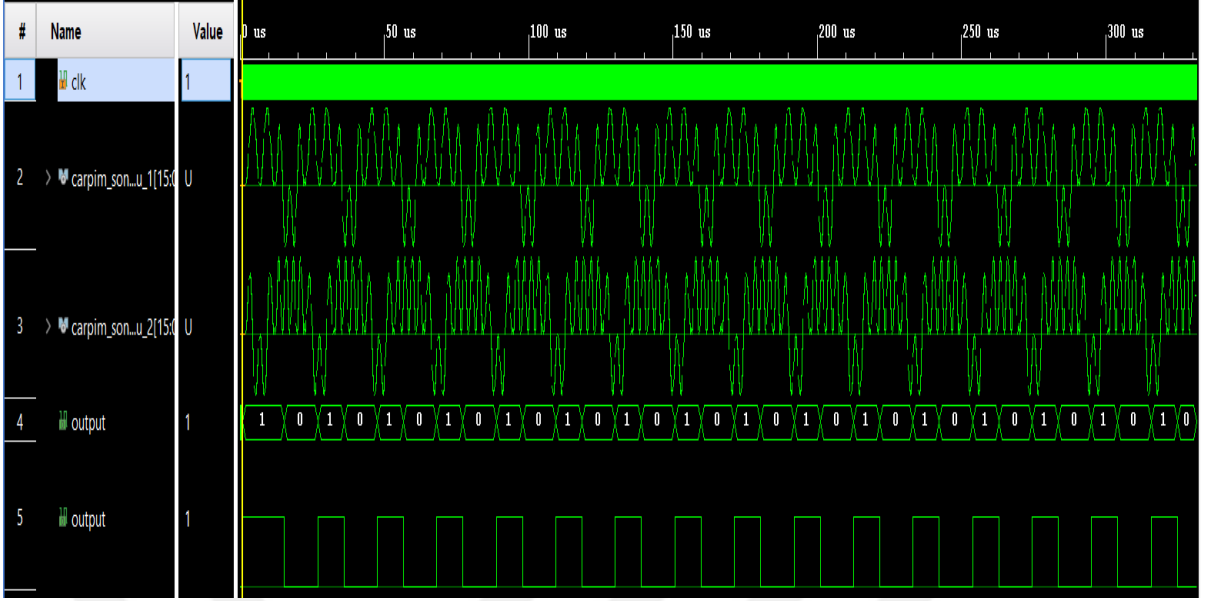


Şekil 2.11. FSK Demodülatör yapısı

Şekil (2.11)'de görüldüğü gibi demodülatör girişine gelen modüle edilmiş FSK işareti sırasıyla çarpma bloğu, filtre blokları ve karar verici devre bloğundan geçerek demodülatör çıkışında bilgi işareti olarak elde edilmesi amaçlanmıştır.

2.7. FSK Demodülatör Benzetimi

Demodülatör tasarımının ardından bir FSK modüle edilmiş işareti demodülatör girişine uygulanarak demodülatör tasarımının benzetimi yapılmıştır.

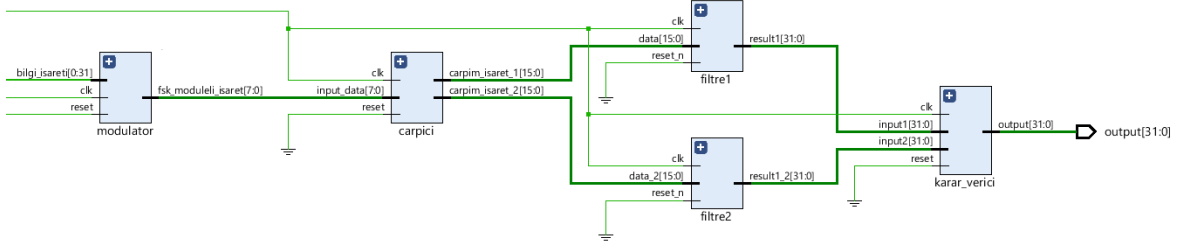


Şekil 2.12. FSK Demodülatör benzetimi

Şekil (2.12)'de FSK demodülatörü çıkışındaki işaretler görülmektedir. Burada 1 numaralı işaret saat darbesini, 2 numaralı işaret eşitlik (1.3)'te belirtilen çarpıcı çıkışındaki işareti, 3 numaralı işaret eşitlik (1.4)'te belirtilen çarpıcı çıkışındaki işareti göstermektedir. “output” ise karar verici devre çıkışını yani demodülatör çıkışında geri elde edilen bilgi işaretini ve kare dalga formunu göstermektedir. Karar verici devre çıkışında görüldüğü gibi bilgi_isareti = [10] tekrar elde edilmiştir.

2.8. FSK Modem Tasarımı

Modülatör ve demodülatör tasarımları için modülatör, çarpıcı, filtre ve karar verici devre blokları tasarlanarak gerekli kodlama işlemleri yapılmıştır. Bu aşamada tüm bu bloklar birbirleri ile doğru sırada iletişim kurarak iletilmek istenilen bir bilgi işaretinin önce modüle ardından demodüle edilerek bilgi işaretinin tekrar doğru bir şekilde elde edilebilmesi amaçlanmıştır.



Şekil 2.13. FSK Modem yapısı

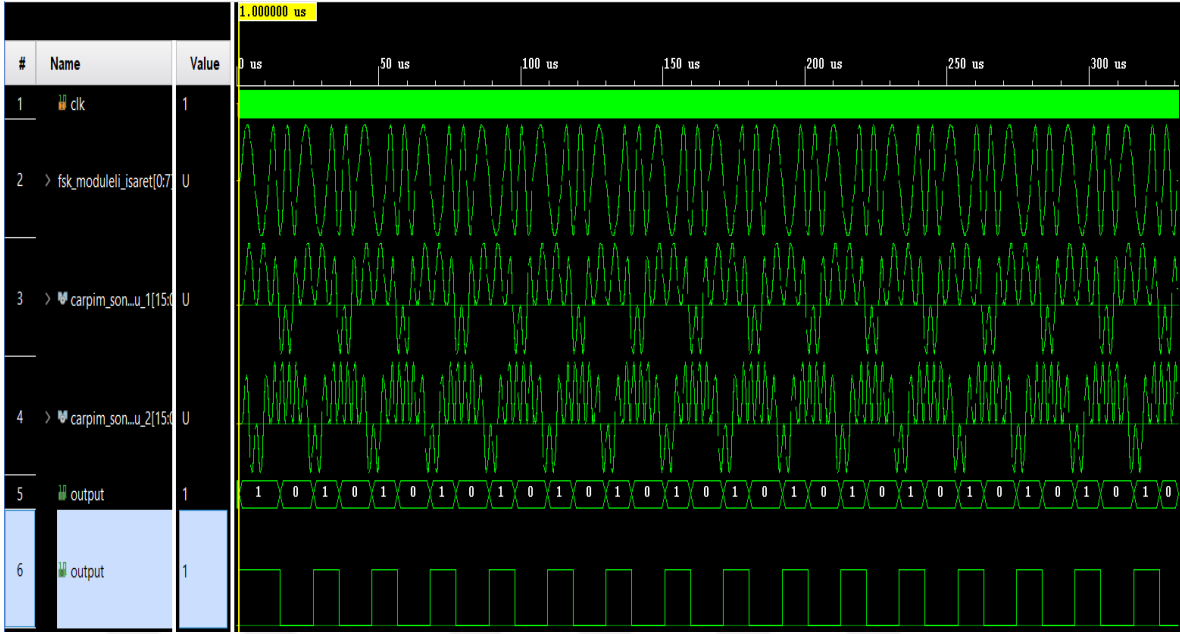
Şekil (2.13)'te durumda tasarlanmış olan FSK modem şematik gösterimidir. Şekilde de görüldüğü gibi girişe verilen 32-bit uzunluğunda bilgi işareti, çıkışta yine 32-bit uzunluğunda output olarak geri elde edilmiştir.

Tasarlanan modem için toplamda 1006 cell (hücre), 33 input/output port ve 3298 net (ara bağlantı) kullanılmıştır. FSK modem tasarımında yer alan blokların iç şemaları ek şekil (4) gösterilmiştir.

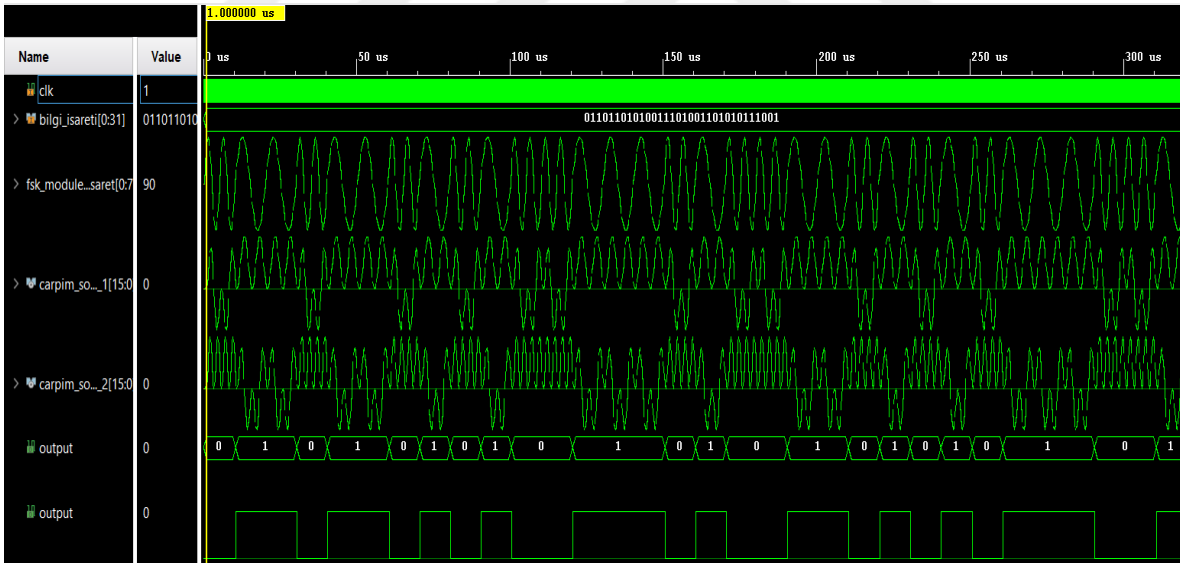
2.9. FSK Modem Benzetimi

FSK modem tasarımının ardından Vivado ortamında farklı giriş bitleri ve frekans değerleri altında modem benzetimi gerçekleştirilmiştir. Aşağıdaki resimlerde farklı bilgi işaretleri altında elde edilen sonuçlar verilmiştir.

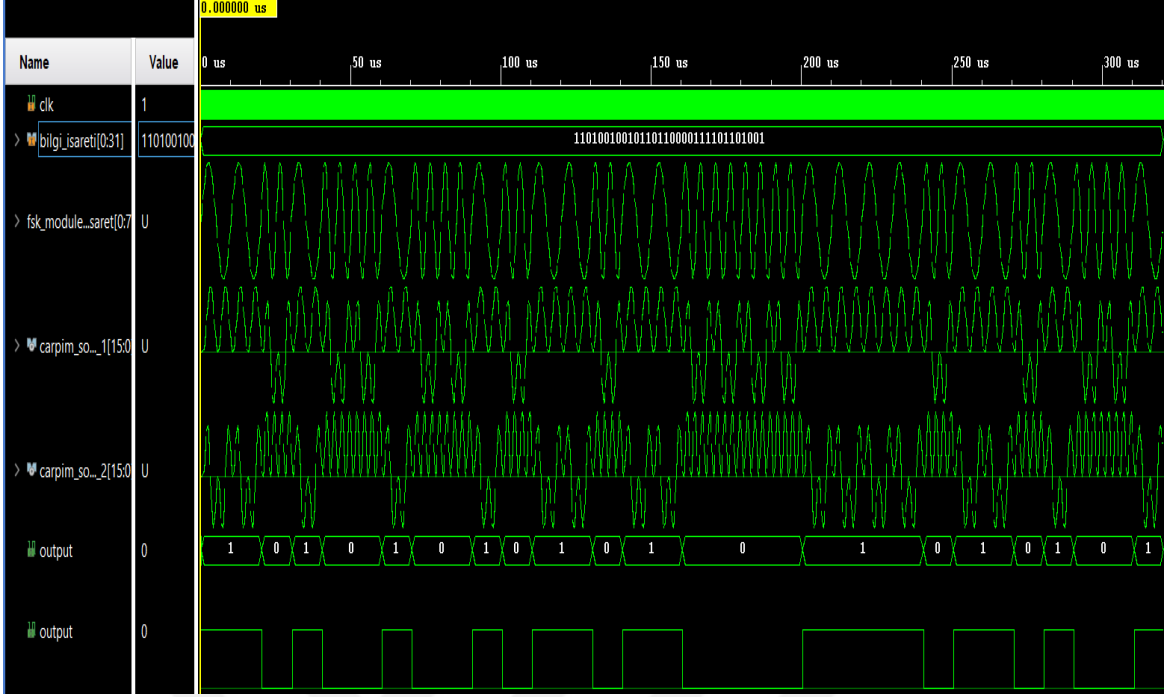
İlk olarak taşıyıcı işaretlerin frekans değerleri 100 kHz ve 200 kHz seçilerek farklı bilgi işaretleri uygulanarak benzetimler yapılmıştır.



Şekil 2.14. bilgi_isareti = [10101010101010101010101010101010] durumunda benzetim sonuçları



Şekil 2.15. bilgi_isareti = [01101101010011101001101010111001] durumunda benzetim sonuçları



Şekil 2.16. bilgi_isareti = [11010010010110110000111101101001] durumunda benzetim sonuçları

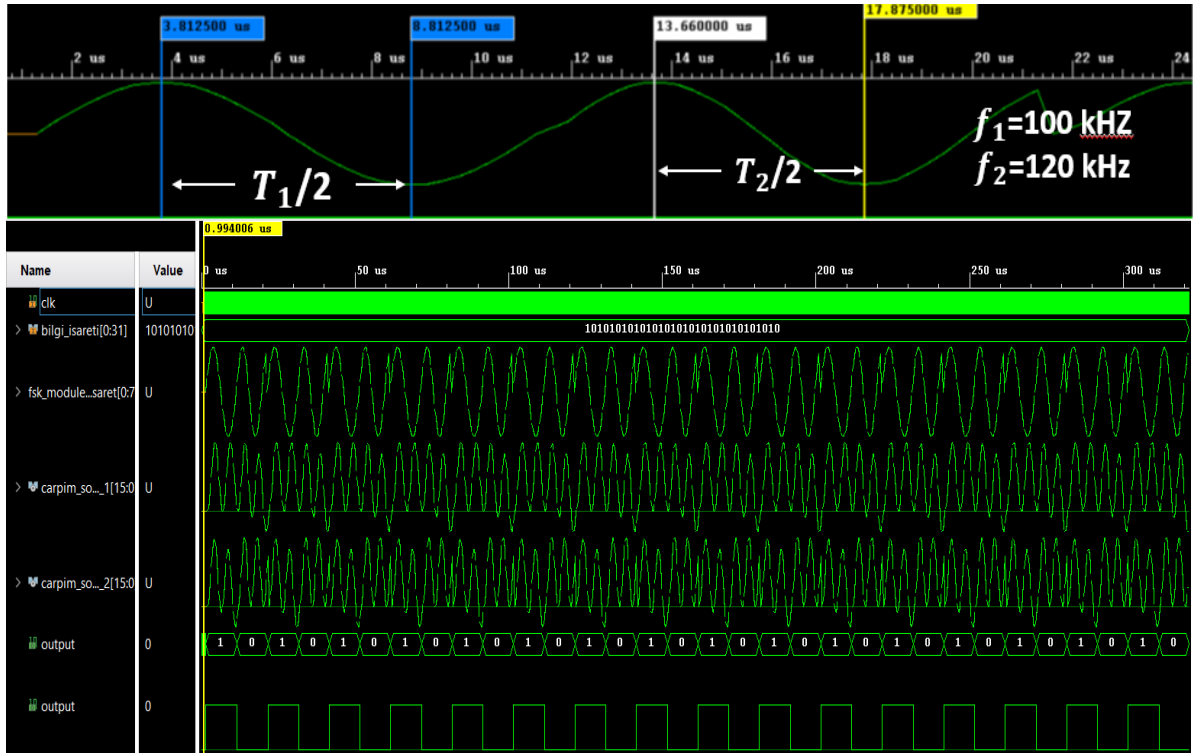
Şekil (2.14, 2.15, 2.16)'da 1 numaralı sinyal saat darbesini, 2 numaralı sinyal FSK modüleli işaretini, 3 numaralı sinyal demodülatör blok diyagramı üst kol çarpım sonucunu, 4 numaralı işaret demodülatör blok diyagramı alt kol çarpım sonucunu, 5 numaralı işaret geri elde edilen bilgi işaretini, 5 numaralı işaret ise geri elde edilen bilgi işaretinin kare dalga formunu göstermektedir. Şekiller incelendiğinde girişe verilen bilgi işaretlerin modem tasarımı çıkışında geri elde edildiği görülmektedir.

Taşıyıcı işaret frekansları için 100 kHz ve 150 kHz değerleri seçildiğinde elde edilen benzetim sonucu aşağıdaki resimde gösterilmiştir.



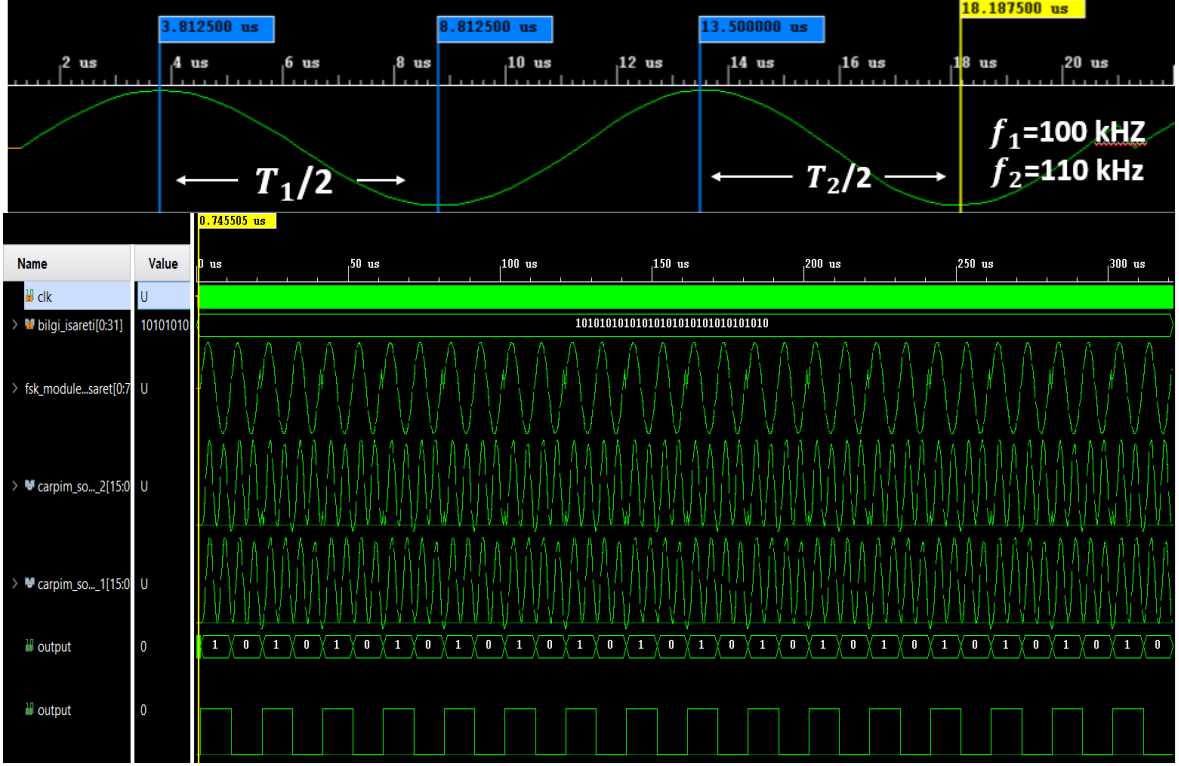
Şekil 2.17. Taşıyıcı işaret frekansları 100 ve 150 kHz olduğu durum

Taşıyıcı işaret frekansları için 100 kHz ve 120 kHz değerleri seçildiğinde elde edilen benzetim sonucu aşağıdaki resimde gösterilmiştir.



Şekil 2.18. Taşıyıcı işaret frekansları 100 ve 120 kHz olduğu durum

Taşıyıcı işaret frekansları için 100 kHz ve 110 kHz değerleri seçildiğinde elde edilen benzetim sonucu aşağıdaki resimde gösterilmiştir.



Şekil 2.19. Taşıyıcı işaret frekansları 100 ve 110 kHz olduğu durum

Şekil (2.17, 2.18, 2.19)'da farklı taşıyıcı frekans değerlerinde benzetim çalışmaları yapılmıştır. 1 numaralı sinyal saat darbesini, 2 numaralı sinyal bilgi işaretini, 3 numaralı sinyal FSK modüleli işaretini, 4 numaralı sinyal demodülatör blok diyagramı üst kol çarpım sonucunu, 4 numaralı işaret demodülatör blok diyagramı alt kol çarpım sonucunu, 5 numaralı işaret geri elde edilen bilgi işaretini, 6 numaralı işaret ise geri elde edilen bilgi işaretinin kare dalga formunu göstermektedir. Şekiller incelendiğinde girişe verilen bilgi işaretlerin modem tasarımı çıkışında geri elde edildiği görülmektedir.

FSK modem tasarımında kodlanan modem eleman bloklarından örnek olarak çarpıcı bloğunun iç yapısının detaylı gösterimi Ek Şekil (3)'te, bloklar arası ağ yapısı Ek Şekil (4)'te, tasarımın FPGA üzerine uygulanması durumunda FPGA yapısında kullanılan mantık blokları ve ara bağlantılar Ek Şekil (5, 6 ve 7)'de gösterilmiştir.

2.10. Bulgular

Yapılan çalışmalar incelendiğinde modülatör girişine gelen sayısal bilgi işaretinin demodülatör çıkışında tekrar elde edildiği görülmüştür. Frekans kaydırmalı anahtarlama modülasyonu, farklı frekans değerlerine sahip space taşıyıcı işareti kullanılarak test edilmiş ve bilgi işaretinin başarı ile elde edildiği görülmüştür. FSK modülasyonu uygulamalarında bant genişliğinin işgal edilmemesi için mark ve space frekans değerlerinin mümkün olduğunca birbirine yakın olması gerekmektedir. Bu çalışmada seçilen enerji hattı haberleşmesi frekans değerlerinde testler yapılarak, bu frekans değerlerinde FPGA kullanılarak FSK modülasyonu kullanılabileceği görülmüştür. Daha sonra gerçekleştirilecek çalışmalarda PLC kanal modellemesi de yapılarak birbirine en yakın ve uygun mark ve space frekans değerleri tespit edilebilir.

Yapılan benzetim çalışmalarında 100 kHz referans frekansı elde edilmesi için saat darbesinin periyodu olarak 312.5 nanosaniye kullanılmıştır. Her bir saat darbesinde 8 bitlik veri iletimi gerçekleştirilmiştir. Buda benzetimi yapılan modem tasarımının teoride 25.6 Mbps hıza sahip olduğu anlamına gelmektedir. Ancak uygulamalarda kullanılacak harici DAC devresinin hızına bağlı olarak modem hızında değişiklikler görülebilir.

Tasarımın sayısal olması nedeniyle haberleşme sistemlerinde kullanılan donanımsal modemlerin aksine yeniden yapılandırılabilir olması sebebiyle alternatif durumlar için yeniden konfigüre edilerek zaman ve maliyet tasarrufu sağlayabilir. Oluşturulan sayısal modem tasarımının enerji hattı haberleşme sistemlerine uyarlanabileceği düşünülmektedir.

3. SONUÇLAR

Bu tez çalışmasında, PLC hattında iletilmek istenilen bir sayısal bilgi işaretinin FSK modülasyon yöntemi ile iletilmesi için hedeflenen 100 kHz referans frekans değerinde modüle edilerek iletme uygun hale getirilmesi ve sonrasında demodüle edilerek bilgi işaretinin tekrar elde edilmesini sağlayacak bir modem tasarlanmış ve benzetimi gerçekleştirilmiştir. Bu tasarım için Matlab programından yararlanılarak taşıyıcı işaretler elde edilmiştir. Sistem kodlama ve benzetim çalışmaları için Xilinx Vivado ortamı kullanılmıştır. Kodlama dili olarak ise bir donanım tanımlama dili olan VHDL tercih edilmiştir.

Gerçekleştirilen literatür araştırmasına göre çeşitli avantajlara sahip olmasına rağmen FPGA'lerin enerji hattı haberleşmesi uygulamalarında kullanımına rastlanılmamıştır. Buradan yola çıkarak bu tez çalışmasında, enerji hattı haberleşmesinde kullanılması amaçlanan FPGA tabanlı bir FSK modem tasarımı ve benzetimi yapılmıştır. FSK modülasyon ve demodülasyon tekniğine göre sayısal ortamda VHDL dili ile kodlama yapılarak sayısal modülatör/demodülatör tasarımı yapılmıştır. Sayısal tasarım ile modem fiziksel yapısında yer alan modülatör ve demodülatör yapıları ve bu yapıların alt elemanlarını oluşturan çarpıcı, filtre ve karar verici devre elemanları sayısal olarak tasarlanarak donanımsal olarak gerçekleştirilmesinin gerekliliği ortadan kaldırılmıştır. Bu sayede donanımsal tasarımlara nazaran zaman ve maliyet bakımından tasarruf sağlanmıştır. Ayrıca donanımsal tasarımların değişikliğe imkân vermeyen yapılarına karşın mevcut tasarımın sayısal olması nedeniyle kolaylıkla yeniden programlanabilir bir yapıya sahip olması tasarımın oldukça esnek olmasını sağlamaktadır.

Gerçekleştirilen benzetim sonuçları incelendiğinde referans frekans değerinde FSK yöntemi ile iletilen bilgi işaretinin başarı ile geri elde edildiği görülmüştür.

4. ÖNERİLER

Bu çalışmada bir PLC hatlarında kullanılmak üzere FPGA tabanlı bir FSK modem tasarlanarak, benzetimi gerçekleştirilmiştir. Tasarlanan bu modem ile FPGA kullanılarak sayısal bir bilgi işareti, PLC hatlarında iletilebilmesi için, gerekli frekans değerlerinde modüle edilmiş ve ardından demodüle edilerek bilgi işareti elde edilmiştir. Ancak bu çalışmada kanal modellemesi yapılmamıştır. Bu bağlamda yapılan çalışmanın geliştirilmesi açısından aşağıdaki öneriler dikkate alınabilir.

- Kanal modellemesi yapılarak modüle edilen işaret üzerindeki gürültü ve gürültünün demodüle işlemi sonucunda elde edilecek bilgi işareti üzerindeki etkisi incelenerek tasarım geliştirilebilir.
- Oluşturulan kod bir FPGA kartına yüklenerek gerçekleştirilmesi yapılarak tasarımın gerçek şartlardaki performansı test edilip, gerekli geliştirmeler ve iyileştirmeler yapılabilir.
- Modüle edilmiş işaret bir PLC kanalından geçirilerek tasarımın amacını gerçekleştirme durumu test edilerek tasarım ve kodlama optimize edilebilir.
- Testlerin ve gerçeklemelerin başarı ile sonuçlanması sonucunda bu tasarım bir ürün haline getirilebilir.

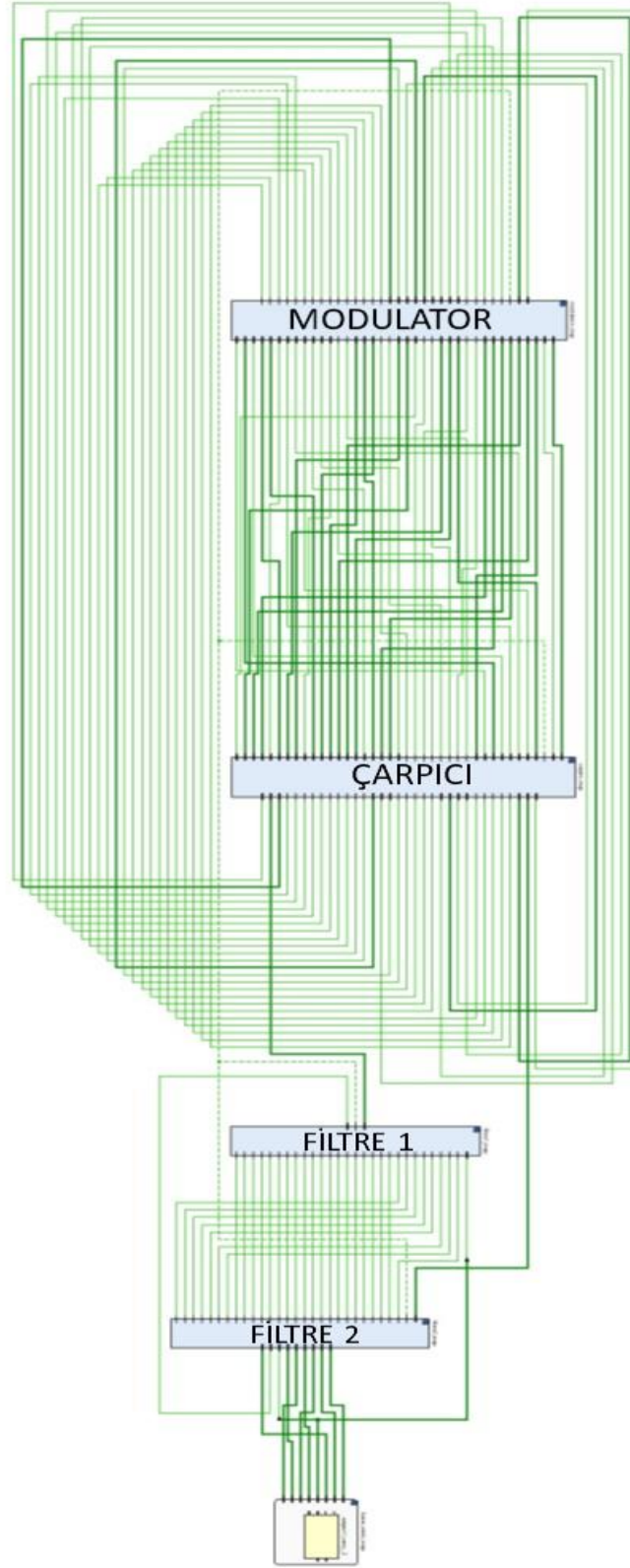
5. KAYNAKLAR

1. Popescu, S. O., Budura, G. ve Gontean, A. S., Review of PSK and QAM- Digital modulation techniques on FPGA, 2010 International Joint Conference on Computational Cybernetics and Technical Informatics, Mayıs 2010, Romania, 327-332.
2. Kuo, K., Guo, J. ve Ou, Y., A Fully Digital Modulator/Demodulator for Power Line Communication (PLC), 2010 IEEE Asia Pacific Conference on Circuits and Systems, Aralık 2010, Malaysia, 835-838.
3. James, N. R., Eldhose, A. ve Das Krishna, D., PLC Modem for Home Automation Over Three Phase Powerline, 2013 Fourth International Conference on Computing, Communications and Networking Technologies (ICCCNT), Temmuz 2013, India, 1-4.
4. Yajie, Y., Liangliang, L. ve Ruifeng, Y., FPGA Implementation of 2FSK Modulation System Based on DDS, International Conference on Software Intelligence Technologies and Applications & International Conference on Frontiers of Internet of Things 2014, Aralık 2014, Hsinchu, 212-215.
5. Satılmış., G., Designing a PLC Modem For Smart Grid Applications, M.Sc Thesis, Yıldız Technical University, Graduate School of Natural and Applied Sciences, İstanbul, 2015.
6. Mangala, J. ve Manikandan, J., FPGA Implementation of Reconfigurable Modulation System, 2015 International Conference on Advances in Computing, Communications and Informatics (ICACCI), Ağustos 2015, India, 493-500.
7. Kaya, Z., Alanda Programlanabilir Kapı Dizilerinde İşaret Üretimi ve Süzgeçlerin Gerçeklenmesi, Yüksek Lisans Tezi, Eskişehir Osmangazi Üniversitesi, Fen Bilimleri Enstitüsü, Eskişehir, 2015.
8. Sönmez, M., Çok Yüksek Hızlı Tümlüşik Devre Donanım Tanımlama Dili Kullanılarak Gerçek Zamanlı Modülatör-Demodülatör Tasarımı, Doktora Tezi, Fırat Üniversitesi, Fen Bilimleri Üniversitesi, Elâzığ, 2016.
9. Sharma, A., Majumdar, S., Naugarhiya, A., Acharya, B., Majumder, S. ve Verma, S., VERILOG Based Simulation of ASK, FSK, PSK, QPSK Digital Modulation Techniques, 2017 International Conference on I-SMAC (IoT in Social, Mobile, Analytics and Cloud) (I-SMAC), Şubat 2017, India, 403-408.
10. Bhandarkar, K., Goutham, T., Manikandan J. ve Rao, V. S., Design and Implementation of FPGA Based Reconfigurable Modulator for Satellite Applications, TENCON 2017- 2017 IEEE Region 10 Conference, Kasım 2017, Malaysia, 1427-1432.

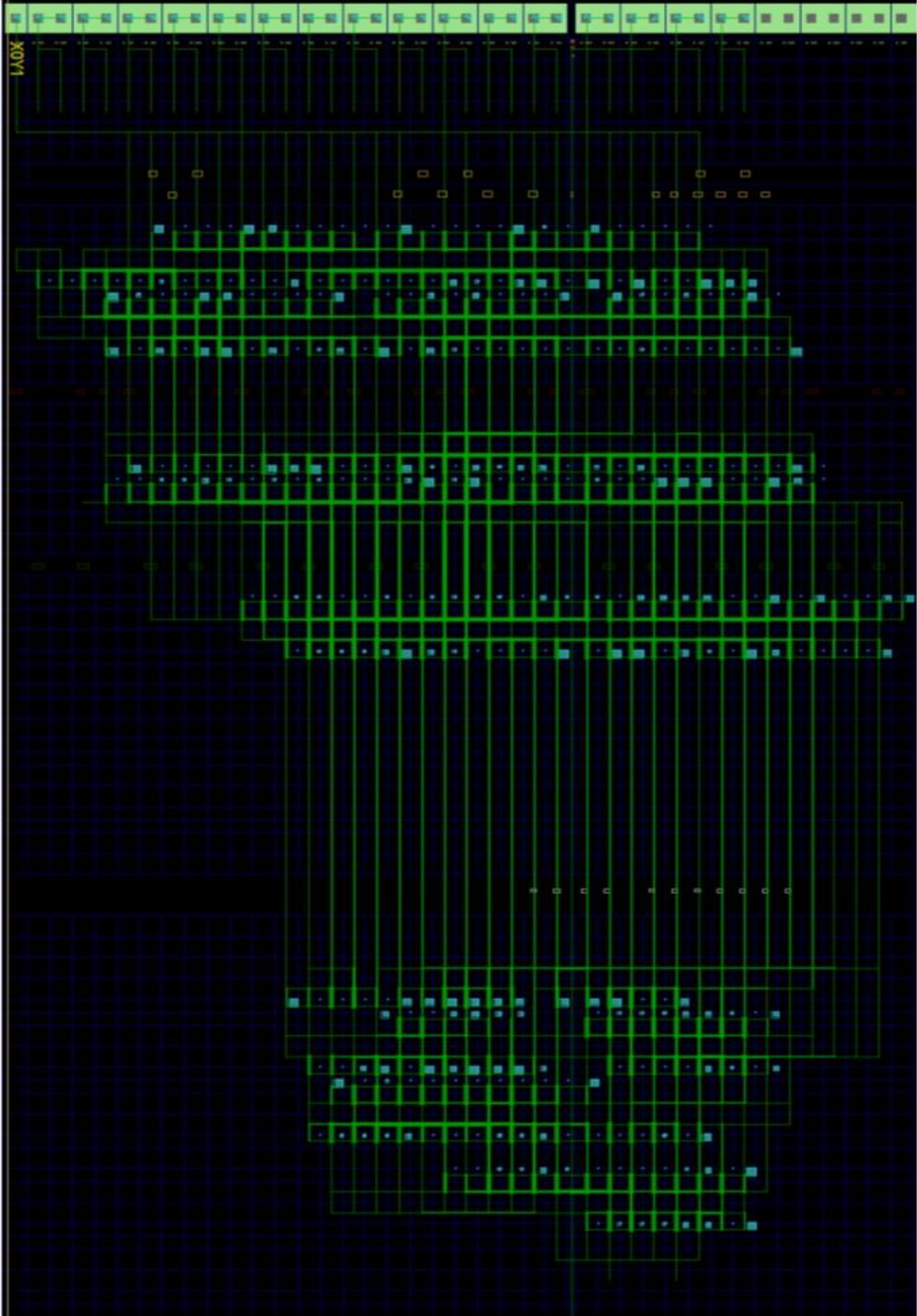
11. Özpolat, E., Fpga Tabanlı FIR Filtre Tasarımı, Yüksek Lisans Tezi, Fırat Üniversitesi, Fen Bilimleri Enstitüsü, Elâzığ, 2017.
12. Duarte-Junior, J. G. ve Brito-Filho, F. A., A Multimode FPGA-based Modem with Embedded Σ - Δ Analog-to-Digital Converter for Software Defined Radio, 2021 Wireless Telecommunications Symposium (WTS), Nisan 2021, USA, 1-5.
13. Oppenheim, A. V., Willsky, A. S. ve Nawab, S. H., Signals and Systems, Prentice-Hall, Upper Saddle River, New Jersey.
14. Dilek, S. M., Ayrancı, A., Ata, R., Ceylan, O. ve Yağcı, H. B., Radio Trasmmitter Design Including FPGA for Micro/Nano Satellite, 2013 21st Signal Processing and Communications Applications Conference (SIU), Nisan 2013, Türkiye, 1-4.
15. Zerek, A. R., Ellabu, N. ve Mhammed, H., Performance Assessment and Computer Simulation of the M-ary FSK Modulation Scheme, 2015 7th International Conference on Modelling, Identification and Control (ICMIC), Aralık 2015, Tunisia, 1-6.
16. https://www.tutorialspoint.com/digital_communication/digital_communication_frequency_shift_keying.htm, Frequency Shift Keying, 2 Ekim 2021.
17. Hinamoto, T., ve Lu, W.S., Digital Filter Desing and Realization, River Publishers, Denmark, 2017.
18. Kuyu, Y. Ç., Sayısal Filtre Tasarım Yöntemleri ve Performans Analizleri, Yüksek Lisans Tezi, Uludağ Üniversitesi, Fen Bilimleri Enstitüsü, Bursa, 2016.
19. Batık, Z., Evrimsel Algoritmalarla Filtre Tasarımları, Yüksek Lisans Tezi, Sakarya Üniversitesi, Fen Bilimleri Enstitüsü, Sakarya, 2011.
20. Ertürk, S., Sayısal Haberleşme, Birsen Yayınevi, İstanbul, 2016.
21. IEEE 1901.1, Medium Frequency (less than 12 MHz) Power Line Communications for Smart Grid Applications, IEEE, 2018
22. IEEE 1901.2, Low-Frequency (less than 500 kHz) Narrowband Power Line Communications for Smart Grid Applications, IEEE, 2013
23. IEEE 1901.2a, Low-Frequency (less than 500 kHz) Narrowband Power Line Communications for Smart Grid Applications, IEEE, 2015
24. Hasırcı, Z., Busbar Enerji Dağıtım Hatlarının Geniş Bant Plc Kanal Modellemesi ve Başarım Analizi, Doktora Tezi, Karadeniz Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Trabzon, 2017.
25. Quadri, F. ve Tete, A. D., FPGA Implementation of Digital Modulation Techniques, 2013 International Conference on Communication and Signal Processing, Nisan 2013, India, 913-917.

26. Faruque, S. ve Kilpela, D., Bandwidth Efficient Coded Modulation and its Implementation on FPGA, 2007 IEEE International Conference on Electro/Information Technology, Mayıs 2007, USA, 38-42.
27. <https://www.xilinx.com/products/design-tools/vivado.html>, Vivado Overview, 12 Eylül 2021
28. Çavuşlu, M., A., ve Kösten, M., M., VHDL ile Sayısal Tasarım ve FPGA Uygulamaları, 2. Baskı, İstanbul, 2017

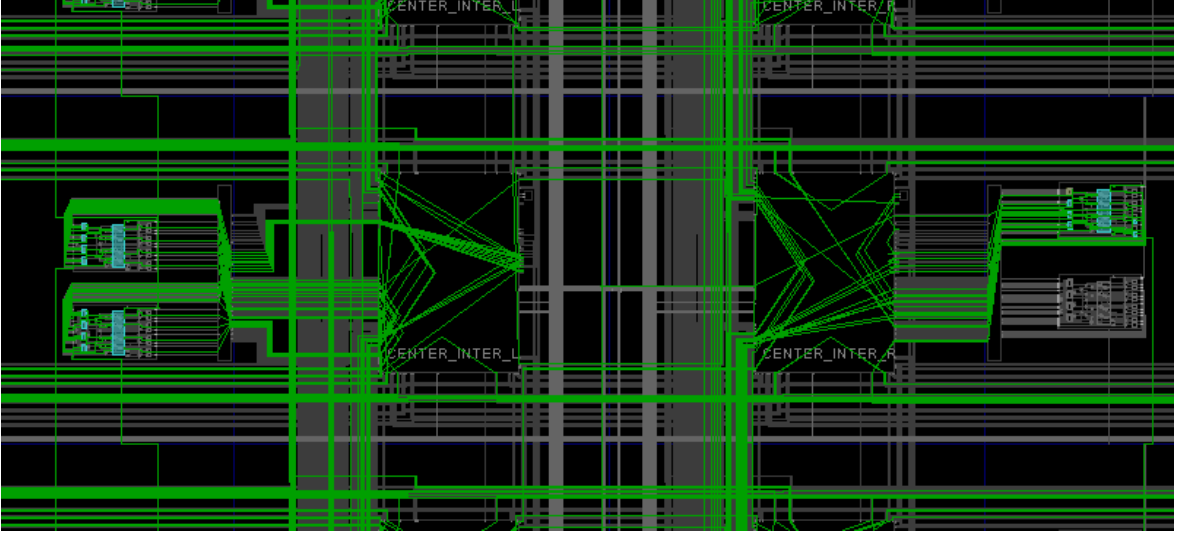




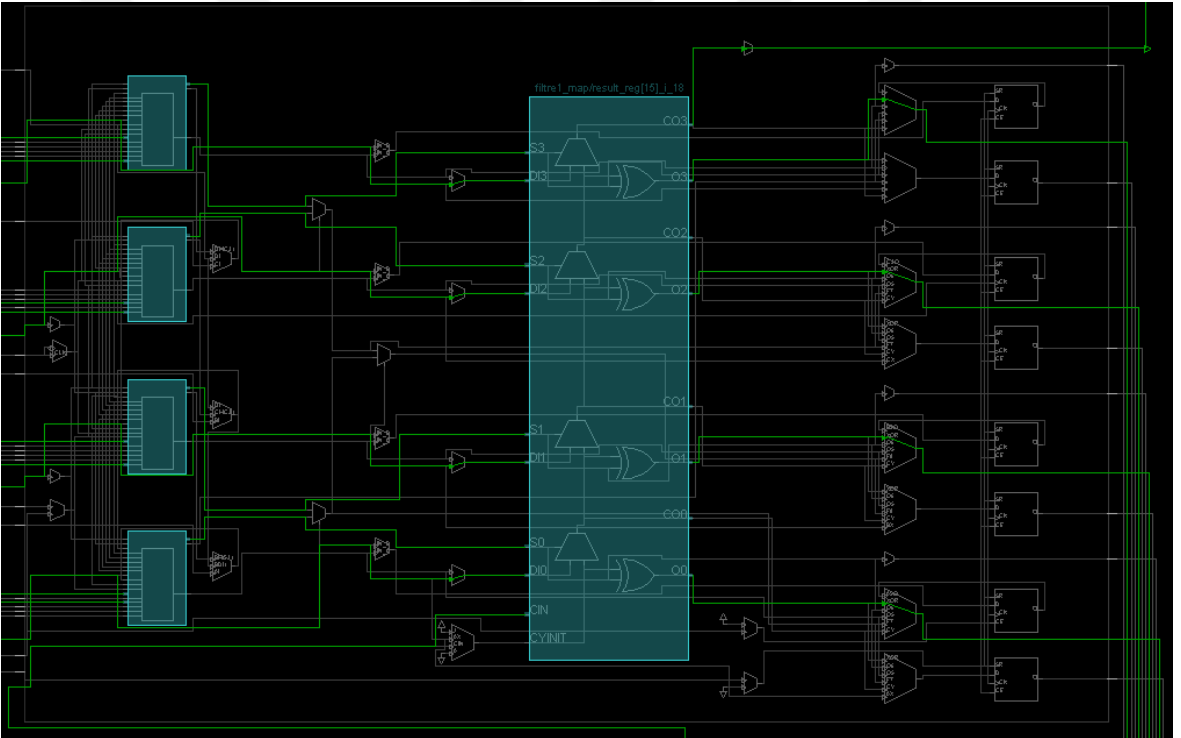
Ek Şekil 4. FSK Modem ağ yapısı



Ek Şekil 5. FPGA mantık blok ve ara bağlantı kullanımı



Ek Şekil 6. FPGA mantık blok ve ara bağlantı kullanımı detaylı gösterimi 1



Ek Şekil 7. FPGA mantık blok ve ara bağlantı kullanımı detaylı gösterimi 2

ÖZGEÇMİŞ

Ahmet Yahya BOĞA 2011 yılında Metin Nuran Çakallıklı Anadolu Lisesinden mezun oldu. 2012 yılında lisans eğitimine başladığı Karadeniz Teknik Üniversitesi Elektrik- Elektronik Mühendisliği Bölümünden 2018 yılında mezun oldu. 2019 yılında başlayan yüksek lisans eğitimi ise Karadeniz Teknik Üniversitesi Elektrik- Elektronik Mühendisliği Bölümünde devam etmektedir.

